(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
B82B 3/00

(11) 공개번호 10-2005-0012707
(43) 공개일자 2005년02월02일

(21) 출원번호 10-2004-7001160
(22) 출원일자 2004년01월26일
번역문 제출일자 2004년01월26일
(86) 국제출원번호 PCT/US2002/023861
(87) 국제공개번호 WO 2003/022733
(86) 국제출원출원일자 2002년07월25일
(87) 국제공개일자 2003년03월20일

(30) 우선권주장 09/915,093 2001년07월25일 미국(US)
09/915,095 2001년07월25일 미국(US)
09/915,173 2001년07월25일 미국(US)

(71) 출원인 난테로 인크.
미국 매사츄세츠 01801 와반 올림피아 애비뉴 25-디

(72) 발명자 뤼케스토마스
미국매사추세츠주02472워터타운벨몬트스트리트836

시걸브렌트엠
미국매사추세츠주02155메드포드제롬스트리트89

(74) 대리인 김성기

심사청구 : 없음

(54) 나노튜브 필름 및 물품

요약

본 발명에 따르면, 나노튜브 필름 및 물품과 그 제조 방법이 개시되어 있다. 전도성 물품은 나노튜브 절편의 집합체를 포함하며, 상기 나노튜브 절편은 다른 나노튜브 절편과 접촉하여 물품을 따라 복수 개의 전도 경로를 형성한다. 상기 나노튜브 절편은 단일벽 카본 나노튜브일 수도 있고 다중벽 카본 나노튜브일 수도 있다. 다양한 나노튜브 절편은 그 길이가 서로 다를 수 있고, 물품보다 길이가 짧은 절편을 포함할 수 있다. 이렇게 형성된 물품은 기판 상에 배치될 수 있으며, 물품 자체 내에는 나노튜브의 전기 회로를 형성할 수 있다. 전도성 물품은 나노튜브 섬유를 기판 상에 형성하는 단계와, 전도성 물품에 상응하는 패턴을 상기 섬유 내에 형성하는 단계에 의해, 기판 상에 제조될 수 있다. 나노튜브 섬유는 촉매를 사용하여 기판 상에 나노튜브 섬유를 성장시키는 단계에 의해 형성될 수 있으며, 예컨대 상기 촉매는 기상 촉매이거나 기상 금속 촉매이다. 나노튜브 섬유는 기판 상에 나노튜브의 현탁액을 침적함으로써 형성될 수 있다. 침적된 용액을 회전시켜 현탁액의 스핀 코팅을 형성할 수 있다. 상기 현탁액은 기판을 현탁액에 침지함으로써 침적될 수 있다. 나노튜브 섬유는 나노튜브를 포함하는 연무질을 기판의 표면 상에 분무함으로써 형성된다.

대표도

도 17

명세서

기술분야

본 발명은 일반적으로 카본 나노튜브 필름, 섬유, 층 및 물품에 관한 것이며, 보다 구체적으로는 회로 등에 다양하게 사용하기 위해 전기 전도성 물품을 카본 나노튜브 필름, 섬유 또는 층으로 제조하는 것에 관한 것이다.

배경기술

전기 전도성 초박(超薄) 금속층 및 전극을 10 nm 이하의 범위로 신뢰 가능하게 제조하는 것은 문제가 있으며, 이에 대해서는 예컨대 S. Wolf의 Silicon Processing for the VLSI era, 2권 - Process Integration(Lattice Press, Sunset Beach, 1990)을 참조하라. 상기 크기 범위의 금속 필름은 대개 불연속적이고, 거시적 거리에 있어서 전도성이 없다. 또한, 이러한 10 nm 이하의 필름은 전류에 의해 열 손상을 받기 쉬워, 반도체 장치의 전기 인터커넥트 등과 같은 용례에 적합하지 못하게 된다. 낮은 열 전도성에 기인하는 얇은 금속 인터커넥트의 열 손상은, 고집적 반도체 장치의 성능 향상과 극적인 소형화를 방해하는 주요 인자 중 하나이다.

통상의 인터커넥트 기술은 반도체 장치의 성능을 저하시키는, 특히 전기적 특성을 열화시키는 열 손상 및 금속 확산의 영향을 받는 경향이 있다. 이러한 영향은 0.18 um 및 0.13 um의 구조물에서 예컨대 초박 게이트 산화물 층을 통한 금속 확산에 의해 전류 발생의 크기가 감소하는 경우에 보다 명백히 드러나게 된다. 따라서, 당업계에서는 전류 밀도가 높은 환경에서 또는 극심한 열 조건에서 잘 작동되는 전도성 요소가 필요하다. 이는 특징 크기가 매우 작은 회로 환경을 포함하지만, 그 밖의 전류 밀도가 높은 극심한 열 조건 환경도 포함한다. 또한, 바람직하지 못한 양의 금속이 다른 회로 요소에 확산되는 경우를 줄인 전도성 요소가 필요하다.

발명의 상세한 설명

본 발명은 나노튜브 필름 및 물품과 그 제조 방법을 제공한다. 본 발명의 한 가지 양태에 있어서, 전도성 물품은 나노튜브 절편의 집합체를 포함하며, 상기 나노튜브 절편은 다른 나노튜브 절편과 접촉하여 물품을 따라 복수 개의 전도 경로를 형성한다.

본 발명의 다른 양태에 있어서, 나노튜브 절편은 단일벽 카본 나노튜브일 수도 있고, 다중벽 카본 나노튜브일 수도 있다. 다양한 나노튜브 절편은 길이가 서로 다를 수 있고, 물품보다 길이가 짧은 절편을 포함할 수 있다.

이렇게 형성된 물품은 기판 상에 배치되며, 물품 자체 내에 나노튜브의 전기 회로를 형성할 수 있다.

본 발명의 다른 양태에 있어서, 전도성 물품은 기판 상에 나노튜브 섬유를 형성하는 단계와, 전도성 물품에 상응하는 패턴을 상기 나노튜브 섬유 내에 형성하는 단계에 의해, 기판 상에 제조될 수 있다.

본 발명의 다른 양태에 있어서, 나노튜브 섬유는 촉매를 이용하여 기판 상에 나노튜브 섬유를 성장시킴으로써 형성될 수 있으며, 예컨대 상기 촉매는 기상 촉매이거나, 기상 금속 촉매이다.

본 발명의 다른 양태에 있어서, 나노튜브 섬유는 나노튜브의 현탁액을 기판 상에 침적함으로써 형성된다. 침적된 용액을 회전시켜 상기 현탁액의 스핀 코팅을 형성할 수 있다.

본 발명의 다른 양태에 있어서, 상기 현탁액은 기판을 현탁액에 침지함으로써 침적될 수 있다.

본 발명의 다른 양태에 있어서, 나노튜브 섬유는 나노튜브를 포함한 연무질을 기판의 표면 상에 분무함으로써 형성된다.

본 발명의 전도성 나노튜브의 필름을 제조하는 방법을 제공한다. 본 발명의 한 가지 양태에 있어서는, 기판을 마련하고, 기상 촉매를 도입하여 나노튜브의 성장을 촉진시킨다. 또한, 탄소원을 도입하여 기판의 주 표면에 실질적으로 평행한 나노튜브 층을 성장시킨다.

본 발명의 다른 양태에 있어서, 기상 촉매는 메탈로센이다.

본 발명의 다른 양태에 있어서, 전도성 물품은 나노튜브 섬유를 기판 상에 형성하는 단계와; 전도성 물품에 상응하는 패턴을 상기 섬유 내에 형성하는 단계; 그리고 패턴화된 섬유가 기판 상에 잔류하여 전도성 물품을 형성하도록, 섬유의 일부분을 제거하는 단계에 의하여, 기판 상에 제조된다.

본 발명의 다른 양태에 있어서, 전도성 물품은 기판을 마련하는 단계와; 기상 촉매를 도입하여 나노튜브의 성장을 촉진시키는 단계; 그리고 탄소원을 도입하 여 기판의 주 표면에 실질적으로 평행한 나노튜브 층을 성장시키는 단계에 의하여, 기판 상에 제조된다.

본 발명의 다른 양태에 있어서, 전도성 물품은 기판을 마련하는 단계와; 나노튜브의 성장을 촉진시키는 촉매를 제공하는 단계; 패턴에 의해 형성된 영역에서 기판의 주 표면에 실질적으로 평행하게 나노튜브를 성장시키도록 탄소원을 제공하는 단계에 의하여, 기판 상에 제조된다.

본 발명의 다른 양태에 있어서, 소정 재료의 패터닝된 층은 절연체 또는 반도체이고, 상기 나노튜브는 상기 패터닝된 재료 상에서 성장한다.

본 발명의 다른 양태에 있어서, 상기 패터닝된 층은 패터닝된 금속층이며, 상기 나노튜브는 상기 패터닝된 금속층 이외의 영역에서 성장한다.

도면의 간단한 설명

도 1은 본 발명의 특정 실시예에 따른 나노튜브 벨트 크로스바 메모리 소자를 예시하고,

도 2a 내지 도 2b는 본 발명의 특정 실시예에 따른 메모리 셀의 2가지 상태를 예시하며,

도 3은 본 발명의 특정 실시예에 따른 메모리 소자의 제조 과정을 예시하고,

도 4 내지 도 11은 본 발명의 특정 실시예에 따른 메모리 소자를 제조하는 데 사용되는 여러 형태의 중간 구조물 형성 방법을 예시하며,

도 12는 본 발명의 특정 실시예를 제조하는 데 사용되는 나노튜브의 부직 섬유 또는 매트형 나노뷰트 층을 예시하고,

도 13은 본 발명의 특정 실시예의 숨겨진 하부 트레이스와 관련된 매트형 나노튜브 층을 예시하며,

도 14는 본 발명의 특정 실시예의 로직에 어드레스를 지정하는 것을 예시하고,

도 15는 메모리 코어가 나노튜브 기술을 이용하고 있는 본 발명의 하이브리드 기술 실시예를 예시하며,

도 16은 메모리 코어와 어드레스 라인이 나노튜브 리본 기술을 이용하고 있는 본 발명의 하이브리드 기술 실시예를 예시하고,

도 17은 본 발명의 특정 실시예에 따른 전기 전도성 물품의 제조 단계를 예시하며,

도 18은 본 발명의 특정 실시예에 따른 전기 전도성 물품이 전기 부품을 접속시키는 데 사용될 수 있는 방법을 보여주고,

도 19는 본 발명의 특정 실시예에 따른 중간 구조물 형성 방식을 예시하며,

도 20은 본 발명의 특정 실시예를 제조하는 데 사용되는 나노튜브의 부직 섬유 또는 매트형 나노튜브 층을 예시한다.

실시예

신규한 전자 기계식 메모리 어레이 및 그 제조 방법이 본원에 개시되어 있으며, 이러한 전자 기계식 메모리 셀은 본원에 그 내용이 참조로 인용되어 있는 WO 01/03208호에 개시된 NTWCM 장치와 유사하게 작동되도록 형성된다. 그러나, WO 01/03208호에 개시된 NTWCM 장치와는 달리, 매트형 나노튜브 층 또는 나노튜브의 부직 섬유로 제조된 신규한 리본 또는 벨트가 전기 전도성 요소로서 사용된다. 본 명세서의 여러 부분에서, 상기 리본은 트레이스 또는 전기 전도성 물품으로 지칭된다. 일부 예에서 리본은 현수되며, 그 밖의 예에서 리본은 기판 상에 배치된다. 일부 예에서 리본은 전기 제어를 받는 특정 상태로 편향시키는 데 사용되며, 그 밖의 예에서 리본은 움직이지 않고 그 대신에 단순히 전류 또는 전압을 전송하는 데 사용된다. 이와 같이 신규한 나노튜브 벨트 구조물은 원하는 집적 레벨 및 규모(제조되는 장치의 수)로 구성하기가 보다 용이한 것으로 고려되며, 그 기하 구조가 보다 용이하게 제어된다. 신규한 나노튜브 리본은 금속 트레이스의 경우에 겪게 되거나 예상되는 전술한 문제의 영향을 받지 않으면서 보다 용이하게 고밀

도 전류를 전송할 수 있는 것으로 고려된다.

본 발명의 특정 실시예에 있어서, 전기 전도성 물품은 나노튜브 섬유, 층, 또는 필름으로 제조될 수 있다. 튜브 직경이 1 nm 정도인 카본 나노튜브는 매우 높은 밀도의 전류를 전송할 수 있는 전기 도체인데, 이에 대해서는 예컨대 Z. Yao, C.L. Kane, C. Dekker가 Phys. Rev. Lett. 84, 2941 (2000)에 발표한 것을 참조하라. 또한, 카본 나노튜브는 공지된 가장 높은 열 전도성을 갖는데, 이에 대해서는 예컨대 S. Berber, Y.-K. Kwon, D. Tomanek이 Phys. Rev. Lett. 84, 4613 (2000)에 발표한 것을 참조하라. 또한, 카본 나노튜브는 열적으로 화학적으로 안정적인데, 이에 대해서는 예컨대 P.M. Ajayan, T.W. Ebbesen이 Rep. Prog. Phys. 60, 1025 (1997)에 발표한 것을 참조하라. 그러나, 방향, 길이 등이 적절하게 제어되는 상태로 나노튜브를 성장시키는 것은 어렵기 때문에, 개개의 나노튜브를 이용하는 것 은 문제가 있다. 나노튜브 섬유로부터 트레이스를 형성함으로써, 트레이스가 개개의 나노튜브 이득의 전부는 아닐지라도 그 대부분을 유지할 수 있게 된다. 또한, 나노튜브 섬유로 제조된 트레이스는 개개의 나노튜브에서 발견되지 않는 이득을 갖는다. 예컨대, 트레이스는 집합체 형태의 복수 개의 나노튜브로 구성되므로, 트레이스는 개개의 나노튜브의 고장 또는 파괴로 인해 고장나지 않는다. 그 대신에, 소정 트레이스 내에는 전자가 이동할 수 있는 많은 다른 경로가 존재한다. 사실상, 나노튜브 섬유로 제조된 트레이스는 규정된 트레이스 내에 개개의 나노튜브로 이루어진 자체 전기 회로를 형성하여, 이를 통해 각각 전자를 통전시킬 수 있다. 또한, 나노튜브 섬유, 층, 또는 필름을 사용하면, 상기 트레이스를 형성하는 데 현대의 기술을 이용할 수 있다.

나노튜브 리본 크로스바 메모리(NTRCM)

신규한 나노튜브 벨트 크로스바 메모리 장치는 NTWCM과 유사하게 작동되므로, 그 아키텍쳐 및 작동 원리에 관한 설명은 간략히 기재한다. 보다 완전한 설명과 배경 설명은 WO 01/03208호를 참조할 수 있다.

도 1은 본 발명의 바람직한 실시예의 원리에 따라 구성된 예시적인 전자 기계식 메모리 어레이(100)를 예시한다.

상기 어레이는 '온' 상태(105) 또는 '오프' 상태(106)로 있을 수 있는 복수 개의 비휘발성 메모리 셀(103)을 구비한다. 상기 셀의 실제 개수는 본 발명의 이해에 중요하지 않지만, 상기 기술은 근래의 비휘발성 회로 장치와 동등하거나 그 이상의 정보 저장 용량을 갖는 장치를 지원할 수 있다.

각 메모리 셀(103)은 하나 이상의 지지부(102)에 의해 전기 트레이스 또는 와이어(예컨대, 104) 상에 현수되는 나노튜브 리본(101)을 포함한다.

리본(101)과 와이어(예컨대, 104)를 각각 교차시켜, 크로스바 접합을 형성하고 메모리 셀을 형성한다. 특정 실시예에 있어서, 각 셀은 리본(101)과 전기적으로 접속되어 있는 전극(112)에 전류 및/또는 전압을 인가하거나 또는 트레이스 혹은 와이어(104)와 접속되어 있는 전극(도시 생략)을 통해 전류 및/또는 전압을 인가함으로써, 판독 또는 기록될 수 있다. 지지부(102)는 질화규소 층(Si_3N_4)(108)으로 제조된다. n형 도핑 실리콘 트레이스(104)를 하부의 실리콘 웨이퍼(110)로부터 분리시키는 게이트 산화물 층(109)이 층(108) 아래에 있다.

도 1 내지 도 2b를 함께 참조하면, 접합(106)은 나노튜브 리본(101)이 해당 트레이스(104)로부터 분리되어 있는 제1 물리적 및 전기적 상태의 셀을 예시한다. 접합(105)은 나노튜브 리본(101)이 해당 트레이스(104)를 향해 편향되어 있는 제2 물리적 및 전기적 상태의 셀을 예시한다. 제1 상태에서, 상기 접합은 개방 회로로서, 제1 상태로 어드레스 지정된 경우에 리본(101) 또는 트레이스(104) 상에서 전술한 바와 같이 감지될 수 있다. 제2 상태에서, 상기 접합은 정류 접합(예컨대, 쇼트키 또는 PN)으로서, 제2 상태로 어드레스 지정된 경우에 리본(101) 또는 트레이스(104) 상에서 전술한 바와 같이 감지될 수 있다.

특정 실시예에 있어서, 나노튜브 리본(101)은 마찰에 의해 지지부에서 적소에 유지될 수 있다. 그 밖의 실시예에서, 리본은 그 밖의 수단에 의해 유지될 수 있으며, 예컨대 다양한 기술 중 임의의 기술을 이용하여 리본을 지지부에 고정함으로써 유지될 수 있다. 상기 마찰은 공유 결합을 비롯한 화학적 상호 작용을 통해 증대될 수도 있고, 피렌 또는 그 밖의 반응성 종 등과 같은 탄소 화합물을 사용하여 증대될 수도 있다. 또한, 금속, 반도체 또는 절연체 등과 같이 증착되거나 스핀 코트되는 물질, 구체적으로는 실리콘, 티타늄, 이산화규소 또는 폴리이미드 등을 첨가하여 고정(pinning) 강도를 증대시킬 수 있다. 또한, 나노튜브 리본 또는 개개의 나노튜브는 웨이퍼 접합을 이용하여 표면에 고정될 수도 있다. 금속으로 나노튜브를 피닝 및 코팅하는 예시적인 기술에 대해서는, 2001년 미국 화학회지 123호 3838-39 페이지에 R.J.Chen 등이 게재한 'Noncovalent Sidewall Fuctionalization of Single-Walled Carbon Nanotubes for Protein Immobiliation' 또는 2000년 APPl. Phys. Lett. 77호 3015-17페이지에 Dai 등이 게재한 것을 참조하라. 또한, 기술과 관련해서는 WO 01/03208를 참조하라.

도 2a 내지 도 2b에 도시된 바와 같은 바람직한 실시예에 있어서, 나노튜브 리본(101)은 폭이 대략 180 nm이고, 바람직하게는 실리콘 질화물로 제조된 지지부(102)에 고정된다. 리본(101) 아래에 있는 트레이스(104)의 국소 영역은 n형 도핑 실리콘 전극을 형성하고, 지지부(102) 부근에 배치되며, 바람직하게는 벨트(예컨대, 180 nm)보다 폭이 넓지

않다. 지지부(102)의 상단으로부터 벨트(101)가 전극(206)에 부착되어 있는 편향 위치(도 2b 참조)까지의 상대적인 간격(208)은 대략 5 50 nm이다. 간격(208)의 크기는 기억 장치의 전자 기계식 스위칭 성능에 맞게 정해진다. 상기 실시예의 경우, 카본 나노튜브로 제조된 리본(101)을 이용하 는 특정 실시예에서 5 50 nm의 간격이 바람직하지만, 그 밖의 재료에 대해서는 다른 간격이 바람직할 수 있다. 상기 간격의 크기는 편향 나노튜브의 변형 에너지와 부착 에너지 사이의 상호 작용으로 정해진다. 이러한 특징 크기는 근래의 제조 기술을 고려하여 제안된다. 그 밖의 실시예는 제조 설비의 성능을 반영하여 보다 작은(또는 큰) 크기로 제조될 수 있다.

특정 실시예의 나노튜브 리본(101)은 얽힌 또는 매트형 나노튜브의 부직 섬유(상세히 후술함)로 형성된다. 리본의 스위칭 파라미터는 개개의 나노튜브의 스위칭 파라미터와 유사하다. 따라서, 리본의 예상 스위칭 시간 및 전압은 나노튜브의 스위칭 시간 및 전압과 비슷하다. 개개의 나노튜브의 지향 성장 또는 화학적 자기(自己) 조립에 의존하는 종래 기술과는 달리, 본 발명의 바람직한 실시예는 박막 및 리소그래피를 포함하는 제조 기술을 이용한다. 이러한 제조 방법은 큰 표면, 구체적으로는 6 인치 이상의 웨이퍼에 걸쳐서의 생성에 적합하다. (이와는 달리, 1 밀리미터 이하의 거리를 넘어선 소정 거리에 걸쳐 개개의 나노튜브를 성장시키는 것은 현재 실행할 수 없다.) 리본에는 전도 경로의 잉여분이 포함되어 있어, 리본은 개개의 나노튜브에 비해 장애 방지 성능이 개량된 것으로 나타난다. (개개의 나노튜브가 전도 경로를 제공하는 리브 내에 있는 다른 튜브를 파괴하는 경우, 단 하나의 나노튜브가 사용되었다면 셀은 장애를 일으킬 것이다.) 또한, 리본은 개개의 나노튜브보다 큰 단면적을 갖도록 제조될 수 있기 때문에, 리본의 저항은 개개의 나노튜브에 비해 현저히 낮고, 그에 따라 임피던스도 감소된다.

도 3은 NTRCM 장치(100)의 특정 실시예를 제조하는 방법을 예시한다. 제1 중간 구조물(302)을 형성 또는 마련한다. 예시된 실시예에서, 중간 구조물(302)은 복수 개의 지지부(102)를 형성하는 질화규소 층(Si_3N_4)(108)과 절연층(109)(예컨대, 이산화규소 등)이 마련된 실리콘 기판(110)을 포함한다. 이 예에서, 지지부(102)는 패턴화된 실리콘 질화물의 열(row)로 형성되어 있지만, 예컨대 복수 개의 행(column)과 같은 그 밖의 다른 구조도 가능하다. 전도성 트레이스(104)는 지지부(102) 사이에서 연장된다. 상기 예에서, 트레이스(104)는 지지부(102)와 실질적으로 접촉하는 것으로 도시되어 있지만, 그 밖의 구성 및 기하 구조가 가능하며, 예컨대 트레이스(104)와 지지부(102) 사이에 공간이 존재할 수도 있고, 트레이스(104)가 와이어 모양으로 형성될 수도 있으며, 횡방향 단면이 삼각형 또는 사다리꼴을 비롯한 비(非)장방형일 수도 있다. 지지부(102)의 상부 표면으로 하나의 평면(306)을 형성하도록, 트레이스(104) 상에는 희생층(304)이 배치된다. 상세히 후술되는 바와 같이, 상기 평면은 특정 실시예의 매트형 나노튜브 층의 성장을 조장한다.

상기 중간 구조물(302)이 형성 또는 마련되면, 상부 표면(306)은 촉매(308)를 수용한다. 예컨대, 특정 실시예에 있어서, 철(Fe), 몰리브덴(Mo), 코발트 또는 그 밖의 금속을 함유하는 촉매 금속(308)이 스핀 코팅 또는 그 밖의 도포 기술에 의해 도포되어 제2 중간 구조물(310)을 형성한다.

그 후, 매트형 나노튜브 층(312)을 단일벽 카본 나노튜브(SWNTs)의 부직 섬유안에 성장시켜, 제3 중간 구조물(314)을 형성한다. 예컨대, 제2 중간 구조물(310)을 오븐에 놓은 후 높은 온도(예컨대, 800 1200℃)로 가열하는 동안에, 수소나 질소와 같은 불활성 가스, 수소 및 탄소원을 함유하는 가스가 상부 표면 상에서 유동한다. 이러한 환경은 단일벽 카본 나노튜브의 매트형 층 또는 막(312)의 생성 또는 성장을 조장한다. 상기 층(312)은 주로 하나의 나노튜브의 두께이며, 복수 개의 튜브는 반 데르 발스 힘을 통해 서로 부착된다. 하나의 나노튜브가 다른 나노튜브의 위에서 성장하는 경우도 있지만, 이러한 성장은 재료의 성장 경향으로 인해 비교적 드물다. 일부 실시예(도시 생략)에 있어서, 나노튜브를 필요에 따라 보다 농후하거나 보다 옅은 특정 밀도를 갖는 상태로 성장시키는 것을 돕기 위해, 촉매(308)는 패턴화될 수 있다. 촉매의 조성 및 밀도의 상황과, 성장 환경, 그리고 시간이 적절하게 제어되는 경우, 나노튜브는 소정의 필드 상에서 고르게 분포되도록 제조되어, 주로 나노튜브의 단층이 될 수 있다. 적절한 성장을 위해서는 촉매의 조성 및 농도, 하부 표면의 기능화, 스핀 코팅 파라미터(길이 및 RPM), 성장 시간, 온도 및 가스 농도 등의 파라미터를 제어할 필요가 있으며, 상기 파라미터에 한정되는 것은 아니다.

그 후, 포토레지스트를 층(312)에 도포하고 이를 패턴화하여 매트형 나노튜브 층(312)에 리본을 형성한다. 이러한 리본 패턴은 하부의 트레이스(104)와 (예컨대, 수직으로) 교차한다. 평면(306) 상에 놓인 나노튜브 부직 섬유의 리본(101)이 남겨지도록 포토레지스트를 제거하여, 제4 중간 구조물(318)을 형성한다.

도시된 바와 같이, 제4 중간 구조물(318)은 하부의 희생층(304)의 일부분(320)이 노출된다. 그 후, 제4 중간 구조물(318)을 HF 등과 같은 산으로 처 리하여, 희생층(304)을 리본(101) 아래에 있는 부분을 포함해서 제거하며, 그 결과 트레이스(104) 상에 현수되고 지지부(102)에 의해 지지되는 리본(101)의 어레이(322)가 형성된다.

이후의 금속화는, 예컨대 도 1에 도시된 112와 같이 어드레스 지정된 전극을 형성하는 데 사용될 수 있다.

전술한 기술의 한 가지 양태로는, 상기 여러 가지 성장, 패터닝 및 에칭 작업이 리소그래피 패터닝 등과 같은 통상의 기술을 사용할 수 있다는 것이 있다. 이로써 현재는 약 180 nm에서 적게는 약 130 nm에 이르는 특징 크기[예컨대, 리본(101)의 폭]를 가질 수 있게 되지만, 만약 제조 능력이 허용한다면 이러한 구성 요소의 물리적 특성은 그보다 더

작은 특징 크기에 이를 수 있다.

후술하는 바와 같이, 상기 중간 구조물 또는 전술한 것과 유사한 구조물을 제조할 수 있는 방법은 다수 존재한다. 예컨대, 도 4는 제1 중간 구조물(302)을 제조하기 위한 한 가지 방식을 보여준다.

실리콘 웨이퍼(400)에 산화물 층(402)을 마련한다. 상기 산화물 층은 두께가 수 나노미터인 것이 바람직하지만, 1 ㎛ 정도일 수도 있다. 질화규소 층(Si_3N_4)(404)을 산화물 층(402) 표면 위에 침적한다. 이 질화규소 층의 두께는 30 nm 이상인 것이 바람직하다.

그 후, 질화규소 층(404)을 패터닝하고 에칭하여 캐비티(406)를 만들어 지지 구조물(407)을 형성한다. 최신의 기술을 이용하면, 상기 캐비티의 폭은 약 180 nm 일 수도 있고 그보다 작을 수도 있다. 잔류 실리콘 질화물은 (예컨대, 열 또는 행 형태로) 지지부(102)를 형성한다.

그 후, n형 도핑 실리콘의 덮개(408)를 침적하여 캐비티(406)를 채운다. 예시적인 실시예에의 경우, 상기 덮개는 두께가 약 1 ㎛이지만, 30 nm 정도로 얇을 수도 있다.

그 후, 전술한 평면(306)을 만들기 위해, 덮개(408)를 예컨대 두꺼운 규소 층의 자체 평탄화 또는 어닐링에 의해 처리하여, 구조물(411)을 형성한다. 자체 평탄화의 경우에는, 에칭된 실리콘 질화물의 상부 표면(410)에 이르기까지, 종말점 검출(EPD)을 이용한 반응성 이온 에칭을 이용할 수 있다.

그 후, 구조물(411)을 산화시켜 평면(306) 속에 약 10 20 nm 깊이로 SiO_2의 희생층(304)을 형성 및 정한다.

변화되지 않은 실리콘의 나머지 부분은 트레이스(104)를 형성한다.

도 5는 특정 실시예의 NTRCM 장치(100)를 제조하는 데 사용될 수 있는 다른 방법을 보여준다. 도 4와 관련하여 기술된 바와 같이, 지지 구조물(407)을 마련한다. 그 후, CVD 공정, 스퍼터링 또는 전기 도금을 이용하여 n형 도핑 실리콘의 층(514)을 추가한다. 특정 실시예에 있어서, 상기 층(514)은 Si_3N_4 지지부(102)의 높이의 대략 절반 정도로 추가된다.

층(514)이 추가된 후, 평탄화된 표면(306)을 만들기 위해 어닐링 단계를 수행하여 전술한 바와 유사한 구조물(411)을 형성한다. 이러한 어닐링 단계를 통해, 실리콘 층(514)이 캐비티(406) 안으로 유동하게 된다.

도 4와 관련하여 기술한 바와 같이, 그 후 구조물(411)을 산화시켜 평면(306) 속에 약 10 20 nm 깊이로 SiO_2의 희생층(304)을 형성 및 정한다.

도 6은 다른 제1 중간 구조물(302')을 형성하기 위한 다른 기법을 보여준다. 이 실시예에서는, 높이(604)가 30 nm 이상인 질화규소 층(602)으로 실리콘 기판(600)을 피복한다.

그 후, 질화규소 층(602)을 패터닝하고 에칭하여, 간격(606)을 만들고 지지부(102)를 형성한다. 에칭 공정은 실리콘 기판(600)의 표면의 일부분(608)을 노출시킨다.

노출된 실리콘 표면(608)을 산화시켜 두께가 수 nm인 이산화규소(SiO_2) 층(610)을 형성한다. 그 결과, 이들 층(610)은 전술한 구조물(302)의 경우에 절연층(109)이 했던 것과 유사한 방식으로 트레이스(104)를 절연시킨다.

절연층(610)이 형성되면, 트레이스(104)는 다양한 방식 중 임의의 방식으로 형성될 수 있다. 도 6은 이러한 점을 예시하기 위해 상기 트레이스를 형성하는 데 사용되는 도 4 내지 도 5의 처리 단계를 예시한다.

도 7은 제1 중간 구조물(302)을 형성하기 위한 다른 기법을 보여준다. 이산화규소 층(702) 및 질화규소 층(704)을 갖는 실리콘 기판(700)이 패턴화된 포토레지스트 층(706)을 수용한다. 예컨대, 질화규소 층(704)에 포토레지스트 층을 스핀 코팅한 후, 노출시키고 리소그래피 방법으로 현상한다.

그 후, 반응성 이온 에칭(RIE) 또는 이와 유사한 방법을 이용하여 Si_3N_4 층(704)을 에칭함으로써, 캐비티(708)를 형성하고 지지부(102)를 규정한다.

그 후, 캐비티(708)에 n형 도핑 실리콘(710)을 침적할 수 있다. 특정 실시예에 있어서, 실리콘은 Si_3N_4 지지부(102)의 높이의 대략 절반 정도의 높이(712)로 침적된다.

그 후, 포토레지스(706)와 그 위의 실리콘(710)을 박리하여, 전술한 바와 같은 중간 구조물(411)을 형성한다.

그 후, 중간 구조물(411)을 산화시켜, 희생 SiO_2 층(304)을 생성한다.

도 8은 제1 중간 구조물(302)을 형성하기 위한 다른 기법을 보여준다. 이러한 기법에 있어서, 시작 구조물(800)은 최하위 실리콘 층(802)이 있고 그 위에 최하위 이산화규소 층(804)이 있는 상태로 마련된다. 상기 이산화규소 층(804) 위에는 제2 실리콘 층(806)이 있고, 제2 실리콘 층(806) 위에는 제2 이산화규소 층(808)이 있다.

상위 이산화규소(SiO_2) 층(808)을 포토리소그래피로 패턴화하여, RIE 마스크(810)를 형성한다. 이 마스크는 제2 실리콘 층(806)의 노출된 부분(812)을 제1 이산화규소 층(804)까지 아래로 에칭하는 데 사용된다. 이와 같이 에칭하여 캐비티(814)를 형성하고, 트레이스(104)를 규정한다.

질화규소(Si_3N_4)(816)로 캐비티(814)를 채우고 덮는다.

Si_3N_4 덮개(816)는 n형 도핑 실리콘 전극(104)을 덮고 있는 SiO_2 층(806)의 잔여 부분[희생층(304) 형성]과 동일한 높이(818)까지 RIE로 백 에칭된다.

도 9는 다른 제1 중간 구조물(302')을 형성하기 위한 기법을 보여준다. 이러한 기법에서는, 도면 부호 407(도 4에는 도시되어 있지만 도 9에는 도시되어 있지 않음)과 같은 구조물이 마련된다. 이 예에서, Si_3N_4 지지부(102)의 높이는 약 30 nm이다. Si_3N_4 지지부(102)의 위에는 얇은 금속층(902)을, 캐비티(904)의 바닥에 있는 노출된 부분의 위에는 도면 부호 903으로 도시된 금속층(903)을 침적한다. 금속층(902, 903)은 임시 전극을 형성한다. 그 후, n형 도핑 실리콘(906)이 전기 도금에 의해 침적되거나 성장되어, 실리콘(906)이 지지부(102) 상부의 높이(908)에 이르기까지는 전극(903)을 덮고 전극(902)과 접촉한다. 이러한 성장 공정은 상위 금속 전극(902)과 하위 금속 전극(903) 사이에 전류가 흐르기 시작하면서 제어될 수 있다.

그 후, 노출된 금속 전극(902)을 습식 화학 방법 또는 건식 화학 방법으로 에칭할 수 있다. 이로써 전술한 중간 구조물(411)과 유사하지만 상기 실리콘 성장 공정의 결과물로서 매설 전극(903)을 구비하는 중간 구조물(411')이 형성된다.

그 후, 중간 구조물(411')을 산화시켜, 전술한 바와 같이 실리콘의 노출된 부분에 희생층(304)을 형성한다. 예컨대, 희생층(304)은 약 10 nm의 두께로 성장될 수 있다.

도 10은 제1 중간 구조물(302)을 형성하기 위한 다른 기법을 보여준다. 이 산화규소 층(1004)이 위에 마련되어 있고 상기 이산화규소 층(1004) 위에 제2 (n형 도핑) 실리콘 층(1006)이 마련되어 있는 실리콘 기판(1002)을 시작 재료로서 사용한다. 실리콘 층(1006) 상에는 마스크 층(1008)이 포토리소그래피 방식으로 패턴화된다.

질화 기술을 이용하여, n형 도핑 실리콘 층(1006)의 노출된 부분(1010)을 Si_3N_4 지지부(102)로 화학적으로 변화시킨다. 실리콘 층(1006) 중 변화되지 않은 부분은 트레이스(104)를 형성한다.

마스크(1008)를 제거하여 전술한 바와 유사한 구조물(411)을 형성한다.

그 후, 실리콘 표면의 노출된 부분(1012)을 산화시켜 SiO_2 희생층(304)을 형성한다.

도 11은 다른 제1 중간 구조물(302'')을 형성하기 위한 기법을 보여준다. 이러한 기법에 있어서는, Si_3N_4 의 박막(1104)을 적층한 실리콘 기판(1102)을 시작 구조물로서 마련한다. 질화규소 층(1104) 위에 n형 도핑 실리콘을 추가하고, 이를 RIE에 의해 리소그래피 방식으로 패턴화하여 트레이스(104)를 형성한다.

트레이스(104)의 표면을 산화시켜 SiO_2 층(1106)을 형성하는데, 이 SiO_2 층은 다른 형태의 희생층(304')으로서 작용한다. 이 구조물 위에 Si_3N_4 (1108)를 성장시키고, 이를 백 에칭하여 평면(306)을 형성하며 다른 제1 중간 구조물(302'')을 형성한다. 이러한 기법에 있어서는, 당업자에게 명백한 바와 같이, 이후에 상기 희생층을 제거할 때, 트레이스(104)는 지지부(102)로부터 분리된다. 상기 기술의 다른 변형을 이용하여, 다른 형태의 트레이스(104) 횡단면을 형성할 수 있다. 예컨대, 트레이스(104)는 둥근 상부를 갖도록 형성될 수도 있고, 삼각영이나 사다리꼴 단면을 갖도록 형성될 수도 있다. 또한, 단면은 예컨대 경사진 측면을 갖는 삼각형 등의 다른 형태를 취할 수도 있다.

전술한 바와 같이, 예컨대 도면 부호 302와 같은 제1 중간 구조물을 형성하면, 중간 구조물(302)의 평면(306) 위에 매트형 나노튜브 층(312)을 마련한다. 바람직한 실시예에서는, 촉매(308)의 사용 및 성장 환경의 제어를 통해 상기 중간 구조물 위에 부직 섬유 층(312)을 성장시킨다. 그 밖의 실시예에서는 별도로 매트형 나노튜브 층(312)을 제공하고 이 나노튜브 층을 중간 구조물(302) 위에 직접 도포할 수도 있다. 이러한 기법에 있어서는, 중간 구조물(302)은 독립적으로 성장되는 섬유를 수용하는 평면이 마련되도록 희생층을 포함하지만, 상기 희생층은 상기 기법에 있어서 필수적인 것은 아니다.

성장 공정을 통해 상기 나노튜브의 밑면이 중간 구조물(302)의 평면(306)과 접촉하게 되기 때문에, 상기 나노튜브는 도 12에서 보여주는 바와 같이 '자기(自己) 조립' 특성을 나타낸다. 특히, 개개의 나노튜브는 상기 평면 상에 부착하는 경향이 있고, 에너지적으로 유리할 때마다 상기 평면 상에 성장되므로, 나노튜브는 실질적으로 '단층(單層)'으로서 형성된다. 일부 나노튜브는 다른 나노튜브 위에 성장되므로, 상기 단층이 완전한 것이라 기대되지는 않는다. 개개의 나노튜브는 서로에 대해 '편직'되지는 않지만, 반 데르 발스 힘 때문에 서로에 대해 부착된다. 도 12는 실제의 나노튜브 부직 섬유를 대략 보여준다. 나노튜브의 특징 크기는 작기 때문에, 최근의 주사 전자 현미경(SEM)조차도 정밀도의 손실없이 실제 섬유를 '촬영'할 수 없으며; 나노튜브는 SEM의 정밀도 보다 낮은 범위인 1 2 nm 정도의 특징 크기를 갖는다. 예컨대, 도 12는 도면에 선명히 나타나 있지는 않지만, 튜브가 존재하지 않는 작은 불연속 영역이 섬유에 있다는 섬유의 매트형 성질을 보여준다. 각 튜브는 직경이 1 2 nm (그에 따라 약 1 2 nm의 섬유층 형성됨)이지만, 길이가 수 미크론일 수도 있고, 200 미크론 정도일 수도 있다. 튜브는 만곡되며, 때때로 서로 교차한다. 튜브는 반 데르 발스 힘을 통해 서로에 대해 부착된다.

특정 실시예에 있어서, 나노튜브는 x축 및 y축 방향으로 실질적으로 구속되지 않은 상태로 성장되지만, 전술한 자기(自己) 조립 특성 때문에 z축 방향(도 12의 면의 수직한 방향)으로는 실질적으로 구속된다. 다른 실시예는 필드 지향 성장 기술 또는 플로우 지향 성장 기술을 이용하여 매트(312)를 성장시키기 위해 전술한 기법을 보충한다. 이러한 보충은 이후의 테일러 성장에 이용되어, 하나의 평면 축선(예컨대, x-축선)에서의 임의의 성장이 지연될 수 있다. 이로써, 나노튜브로 편성(編成)된 평탄한 단층 코팅으로 원하는 영역을 밀도 제어가 가능한 상태로 보다 고르게 피복할 수 있게 된다.

도 13은 실리콘 트레이스(104)가 아래에 있는 매트형 나노튜브 층(312)의 평면도이다.

전술한 바와 같이, 상기 평면(306) 위에 매트형 나노튜브 층(312)이 마련되면, 이 나노튜브 층(312)을 패턴화하고 에칭하여 지지부(102)와 교차하는 나노튜브 섬유의 리본(101)을 형성한다. 그 후, 희생층을 (예컨대, 산으로) 제거하여, 도 3과 관련하여 전술한 어레이(322)를 형성한다. 매트형 나노튜브 층(312)은 연속적인 필름이 아닌 부직 섬유를 형성하기 때문에, 에칭제 또는 그 밖의 화학물은 개개의 나노튜브 '파이버' 사이에서 확산할 수 있고, 희생층 등과 같은 하부 구성 요소에 보다 용이하게 도달할 수 있다.

앞에서 개략적으로 기술한 바와 같이, 이후의 금속화는 예컨대 도 1에 도시된 어드레스 지정된 전극(112)을 형성하는 데 사용될 수 있다. 다른 실시예에서는 금속화된 전극(112) 및 어드레스 지정된 라인(도시 생략)을 사용하는 대신에, 메모리 셀의 어드레스 지정을 수행하기 위한 나노튜브 기술을 이용한다.

보다 구체적으로 설명하면, 전술한 특정 실시예에 있어서, 나노튜브는 NTRCM 어레이를 형성하는 데 사용된다.

특정 실시예에서는 개별적으로 와이어를 형성하는가 또는 벨트를 형성하는가와는 무관하게, 읽기 작업용 메모리 셀 또는 쓰기 작업용 메모리 셀을 분리하도록 로직에 어드레스를 지정하는 데 나노튜브 기술을 이용한다. 이러한 기법은 나노튜브 기술을 시스템 설계에 통합시키는 것을 조장하며, 보다 높은 수준의 시스템 설계에 유익한 작용을 할 수 있다. 예컨대, 이러한 기법에 있어서 메모리 아키텍쳐는 비휘발성 방식으로 기억 내용을 저장할뿐만 아니라, 최종 메모리 어드레스를 본래 저장한다.

나노튜브 기반 메모리 셀은 '0' 상태와 '1' 상태 사이의 저항비가 높은 것을 특징으로 하는 쌍안정성을 갖는다. 상기 상태 사이의 스위칭은 나노튜브 벨트 또 는 와이어와 하부 트레이스에 걸쳐 특정 전압을 인가함으로써 수행되는데, 여기서 메모리 셀 요소 중 하나 이상은 나노튜브 또는 나노튜브 리본이다. 한 가지 기법에서는, '판독 전류'를 인가하고, 접합에 걸쳐 인가되는 전압을 '감지 증폭기'를 이용하여 결정한다. 읽기 작업은 비파괴성인데, 이는 셀이 그 상태를 유지하며, DRAM을 이용하여 수행되는 바와 마찬가지로 후기입 작업이 필요하지 않다는 것을 의미한다.

도 14는 가지형 2진 선택 시스템, 또는 디코더(1400)를 보여준다. 후술되는 바와 같이, 디코더(1400)는 나노튜브 또는 나노튜브 리본 기술을 이용하여 실행될 수 있다. 또한, 디코더는 예컨대 NTRCM 또는 NTWCM 등의 나노튜브 메모리 셀 어레이와 동일한 회로 소자 상에 구성될 수 있다.

점(1402)으로 도시된 2선(1404, 1406)의 수직 교차점이 2개의 나노튜브 또는 나노튜브 리본의 접합을 나타낸다. 이러한 관점에서, 상기 교차점은 CMOS 기술 및 그 밖의 기술에서 발견되는 '통과 트랜지스터'와 유사한 것으로, 교차점은 개방되거나 폐쇄될 수 있다.

하나의 나노튜브 또는 나노튜브 리본이 서로 교차하고 있지만 크로스바 접합을 형성하지는 않는 도면 부호 1420과 같은 위치는, 리소그래피 방식으로 패턴화된 절연체를 구성 요소 사이에 마련함으로써 서로로부터 절연될 수 있다.

명료한 도시를 위해, 어드레스 지정된 라인(1408)에서 전해지는 3비트 2진 어드레스에 관한 디코더를 예시한다. 인코딩 값에 따라, 교차부(점)는 단지 하나의 경로를 형성하도록 스위칭되고, 이 경로를 통해 감지 전류 I 가 통과하여

라인(1418)을 선택한다.

이러한 기술을 사용하면, 2진 어드레스의 각 비트에 대한 '듀얼 레일' 표시(1408)가 외부에 형성되어, 각 어드레스 비트(1410)는 정확하고 상보적인 형태로 표시된다. 따라서, 라인(1406)은 어드레스 라인(1480a)에 대한 논리의 참 버전이고, 라인(1407)은 어드레스 라인(1408a)에 대한 논리의 보완 버전일 수 있다. 표시(1408)의 전압 값은, 전술한 바와 같이 크로스바 접합을 '1' 상태 또는 '0' 상태로 스위칭하는 데 필요한 값과 일치한다.

이러한 방식에서, 감지 전류 I 를 예컨대 나노튜브 또는 나노튜브 리본 등과 같은 어레이의 비트 또는 비트 열에 공급하는 데 어드레스(1408)를 사용할 수 있다. 이와 마찬가지로, 소정의 트레이스를 감지하고, 예컨대 판독 및 감지할 특정 어레이의 행(들)을 열의 선택과 관련하여 선택하는 데, 동일한 기법을 사용할 수 있다. 따라서, 이러한 기법은 읽기 작업 및 쓰기 작업 모두를 위한 X 및/또는 Y 디코딩에 사용될 수 있다.

본 발명의 특정 실시예는 도 15에 도시된 하이브리드 기술의 회로(1500)를 제공한다. 코어 메모리 셀 어레이(1502)가 NTWCM 또는 NTRCM을 이용하여 구성되고, 코어의 주변에는 X 어드레스 디코더(1504), Y 어드레스 디코더(1506), X 버퍼(1508), Y 버퍼(1510), 제어 로직(1512) 및 출력 버퍼(1514)를 형성하는 반도체 회로가 마련된다. NTWCM 또는 NWBCM 코어 주변에 마련된 회로는 읽기 전류 공급 및 출력 전압 감지를 비롯한 통상적인 인터페이스 기능용으로 사용될 수 있다.

그 밖의 실시예에서, X 어드레스 디코더(1504)와 Y 어드레스 디코더(1506)는 전술한 바와 같은 나노튜브 와이어 또는 벨트의 어드레스 지정 기술로 대체될 수 있다. 이러한 실시예에서, 코어는 메모리 셀과 어드레스 지정된 로직을 포함한다.

특정 실시예에서, 하이브리드 회로(1500)는 (메모리 셀 만을 갖거나 메모리 셀 및 어드레스 지정된 로직을 갖는) 나노튜브 코어를 사용함으로써, 그리고 필드 프로그램 가능 게이트 어레이를 이용하여 주변 회로를 실행시킴으로써 형성될 수 있다. 코어와 게이트 어레이 회로는 필요에 따라 하나의 물리적 패키지에 포함될 수 있다. 또는, 코어와 게이트 어레이 회로는 개별적으로 패키징될 수 있다. 예컨대, (메모리 만을 갖거나 메모리 및 어드레스 지정된 로직을 갖는) 밀폐된 나노튜브 회로가 I/O 인터페이스 로직이 포함된 PLD/FPGA/ASIC에 통합될 수 있다. 이렇게 형성된 소형 칩셋은 제품의 사용자로 하여금 NT 메모리의 혜택에 접근할 수 있게 하고, 제조자의 필요에 의거하여 이용될 수 있는 '기성(off-the shelf)' 기술의 사용을 최대화한다.

도 16은 하이브리드 기술의 한 가지 가능한 구현예(1600)를 보여준다. (전술한) 버퍼링 로직 및 제어 로직을 포함하는 FPGA 칩(1602)이 인쇄 회로 기판(PCB) 상의 전도성 트레이스를 통해 메모리 셀 및 어드레스 지정된 로직을 포함하는 나노튜브(NT) 칩(1606)에 연결되어 있다.

상기 특별한 실시예는 오늘날의 통상적인 개인용 컴퓨터의 PCI 버스 표준에 따르기 위해 제안되었다. 또한, 커패시터, 레지스터, 변환기 등(도시 생략)과 같은 그 밖의 수동 회로도 PCT 표준에 따를 필요가 있다. 전면 버스 속도가 200 400 MHz이라는 주석을 달아서, 칩셋 등이 구동하는 외부 클럭 속도의 종류를 알려준다. 상기 속도는 PCB 인터커넥트 및 FPGA/PLD/ASIC의 속도에 의해 제한되며, 칩 패키지에 의해서도 제한되지만, NT 메모리 셀 속도에 의해 제한되지는 않는다.

카본 나노튜브 필름, 층, 섬유 및 물품

NTRCM 및 어드레스 지정된 라인의 전술한 실시예는 도 3 및 도 12에 도시된 것과 같은 나노튜브 층(312)으로 제조된 전기 전도성 물품 또는 트레이스를 사용한다. 상기 나노튜브 층의 두께, 즉 소정 나노튜브의 두께는 약 1 nm 이하이다. 나노튜브 매트(312)는 소정 표면, 예컨대 실리콘 웨이퍼의 표면 상에 성장되거나 침적되어, 소정 밀도의 연속적인 필름을 형성한다. 그 후, 2차원 필름을 패터닝하여, 용례 및 배경에 따라 폭의 범위가 1 nm(나노튜브의 고유의 최소 크기)에서 수백 미크론 이상에 이르는 전기 전도성 라인 또는 트레이스를 형성할 수 있다. 상기 패턴은 복수 개의 길이 스케일 및 폭 스케일로 형성되어, 예컨대 트랜지스터 또는 메모리 요소 등과 같은 다양한 크기의 반도체 장치가 상호 접속될 수 있게 하며, 끝으로 부채꼴 형상으로 펼쳐져서 패드나 그 밖의 상호 접속 재료 또는 구성체를 접합시킬 수 있다. 금속 재료 또는 반도체 재료에 대하여 용이한 접촉이 가능하다는 나노튜브 인터커넥트의 본래의 특성 때문에, 필요하다면 나노튜브의 인터커넥트를 금속화하여 상이한 재료를 접속시킬 수 있다.

트레이스 및 전기 전도성 물품은 다른 형태의 회로에 사용될 수 있다. 예컨대, 나노튜브 트레이스는 대개 매우 작은 크기(예컨대, 10 nm 이하의 범위)의 트레이스에서 발견되는 높은 전류 밀도를 견디는 능력 때문에 사용될 수 있다. 또한, 나노튜브 트레이스는 그 밖의 회로 부품의 오염 가능성을 감소시키기 위해 사용될 수 있다.

예컨대, 도 17은 나노튜브 리본, 트레이스, 또는 전기 전도성 물품을 기판 위에 예시적으로 사용한 것을 보여준다. [검토해 보면, 도 17이 도 3과 유사하지만 이 예에서는 필름(312)을 중간 구조물(310) 상에서 성장시키는 대신에 기판

상에서 성장시킨다는 것을 알 수 있다.] 이 예에서, 실리콘 기판(110)은 도 3에 도시된 것과 유사한 산화물 층(109)을 갖는다. 필름(312)의 성장 또는 침적을 용이하게 하기 위해, 평면(도 3에서는 도면 부호 306으로 도시되어 있지만 도 17에서는 도시 생략됨)이 형성될 수 있다. 그 후, 단일벽 및/또는 다중벽 나노튜브를 갖는 필름(312)이 예컨대 CVD 등을 이용하여 조합체 상에 성장될 수도 있고, 예컨대 스핀 코팅을 통해 조합체 상에 침적될 수도 있다. 단일벽 나노튜브가 사용된다면 필름(312)은 주로 하나의 나노튜브의 두께이지만, 다중벽 나노튜브가 사용된다면 필름은 예컨대 1000 nm에 이를 정도로 실질적으로 보다 두꺼워진다.

필름이 성장되어야 한다면, 전술한 바와 같이 촉매를 사용할 수 있다. 그러나, 촉매(도 3에서는 도면 부호 308로 도시되어 있지만 도 17에서는 도시 생략됨)는 기판의 표면 상에 직접적으로 침적될 필요가 없고, 그 대신에 또는 그에 덧붙여 촉매는 CVD 공정의 일부분에서와 마찬가지로 기체 형태로 제공될 수 있다. 예컨대, 페로센 등과 같은 기상(氣相) 금속 종을 사용할 수 있다. 페로센 및 그 밖의 기상 금속 종은, 철, 몰리브덴, 텅스텐, 코발트 및 그 밖의 전이 금속을 함유하는 그 밖의 종이 하는 것과 마찬가지로 카본 나노튜브를 성장시킨다. 이들은 모두 촉 매를 기상으로 형성하는 데 적합하다. 기상 금속 촉매는 나노튜브 매트(312)를 형성하기 위한 적절한 온도, 압력, 표면 준비 및 성장 시간에 따라 최적화되거나 수정될 수 있다.

필름(312)이 침적되어야 한다면, 미리 성장된 나노튜브를 이용할 수 있다. 예컨대, 본 발명의 특정 실시예에 있어서, 나노튜브는 가용성 또는 불용해성 형태로 용제에 현탁될 수 있고, 표면 상에 스핀 코팅되어 나노튜브 필름(312)을 형성할 수 있다. 이러한 구성에서, 상기 필름은 스핀 프로파일 및 그 밖의 공정 파라미터에 따라 하나의 나노튜브의 두께일 수도 있고, 그 이상일 수도 있다. 적절한 용제로는 디메틸포름아미드, n-메틸 피롤리디논, n-메틸 포름아미드, 오쏘디클로로벤젠, 파라디클로로벤젠, 1,2, 디클로로에탄, 알코올, 소디움 도데실 설페이트나 TRITON X-100 등과 같은 적절한 계면 활성제를 포함하는 물, 또는 그 밖의 것이 있다. 표면 기능화, 스핀 코팅 속도, 온도, pH 및 시간 등과 같은 나노튜브의 농도 및 침적 파라미터는 필요에 따라 단층 나노튜브 또는 다중층 나노튜브를 제어하여 침적하도록 조정될 수 있다.

또한, 나노튜브 필름(312)은 웨이퍼 또는 기판을 가용성 나노튜브 또는 현탁 나노튜브의 용액에 침지함으로써 침적될 수 있다. 또한, 상기 나노튜브 필름은 나노튜브를 에어로졸 형태로 표면 상에 분무함으로써 형성될 수도 있다.

촉매의 조성 및 밀도의 조건, 성장 환경 및 시간이 적절하게 제어된다면, 나노튜브는 주로 나노튜브의 단층인 소정 필드 상에 고르게 분포될 수 있다.

나노튜브 매트(312)가 형성되면, 포토레지스트 층을 나노튜브 필름(312) 상 에 스핀 코팅하고, 이를 노출 등에 의해 패턴화하여 전도성 트레이스를 형성할 수 있다. 도 17에 도시된 예에서, 트레이스는 평행한 직선 트레이스로 도시되어 있지만, 트레이스의 형성은 다른 형태를 취할 수 있다. 이와 같이 형성되는 트레이스는 상호 접속되는 장치의 타입에 따라 그 폭이 적어도 1 nm 일 수도 있고 100 미크론 이상 정도일 수도 있다.

이와 같이 형성되면, 노출된 포토레지스트를 처리하여 포토레지스트 층의 일부를 제거하고 트레이스(101)를 남겨둘 수 있다. 이후의 금속화는 어드레스 지정된 전극 또는 예컨대 도 17에 도면 부호 1706으로 도시된 팬형 인터커넥트 구조물을 형성하는 데 이용될 수 있다.

도 18을 참조하면, 그 후 나노튜브 리본 패턴(1802)을 다른 리본(101), 금속 트레이스(도시 생략) 또는 전자 부품(1806)에 접속시킬 수 있다. 예컨대, 중간 구조물(1800)을 참조하면, 나노튜브 트레이스(101)는 폭 등과 같은 특징 크기가 상이한 나노튜브 트레이스(1802)에 접속될 수 있다. 또한, 트레이스(101)는 요소(112)에 접속될 수 있는데, 상기 요소는 금속 접점 또는 접합 패드(이 도면에서는 일정한 비율로 도시되지 않음)일 수 있다. 중간 구조물(1804)을 참조하면, 트레이스(101)는 중간 구조물(1804)에 있는 메모리 요소에 접속될 수 있는데, 상기 메모리 요소는 NTRCM 셀로서 형성될 수도 있고 반도체 사이트에 형성될 수도 있다. 중간 구조물(1808)을 참조하면, 트레이스는 전자 처리 사이트 또는 로직(1806)에 접속될 수 있다. 일정한 비율로 도시되어 있지는 않지만, 트레이스(101)는 아이템(112)으로 표시된 접합 페트에 접속될 수도 있다.

상기 인터커넥트는 주로 나노튜브의 단층으로 형성될 수 있지만, 다중층 리본 및 매트도 또한 적절한 성장 조건을 이용하여 고려될 수 있다. 이를 위해서는 촉매의 조성과 농도, 하부 표면의 기능화, 스핀 코팅 파라미터(길이와 RPM, 예컨대 40초, 50 5000 rpm), 성장 시간, 온도 및 가스 농도를 비롯한 파라미터(이에 한정되는 것은 아님)를 제어할 필요가 있다.

상기 기술의 한 가지 양태로는 다양한 성장, 침적, 패터닝 및 에칭 작업이 리소그래피 방식의 패터닝 등과 같은 통상의 기술을 사용할 수 있다는 것이 있다. 현재의 기술을 이용하면, 트레이스는 약 180 nm에서 적게는 130 nm에 이르는 폭을 갖도록 제조될 수 있다. 그러나, 만약 제조 능력이 허용한다면 트레이스(101)의 물리적 특성은 그보다 더 작은 특징 크기에 이를 수 있다.

통상의 인터커넥트 기술은 반도체 장치의 성능을 손상시키는 열 손상 및 금속 확산의 영향을 받는 경향이 있고, 특히 전기적 특성의 저하의 영향을 받는 경향이 있다. 이러한 영향은 0.18 um와 0.13 um의 구조물에서 예컨대 초박 게이트 산화물 층을 통한 금속 확산에 의해 전류 발생의 크기가 감소하는 경우에 보다 명백히 드러나게 된다. 이와는 달리, 카본 나노튜브 리본(101)은 상기 문제점의 영향을 받지 않는다. 공지된 가장 높은 열 전도성을 갖는 나노튜브 리본은 실질적으로 보다 강하며, 열에 의해 쉽게 파괴되지 않는다. 또한, 나노튜브 리본은 공유 결합된 카본 원자로만 구성되므로 금속 또는 불순물의 확산이 일어날 수 없다.

도 19는 제1 중간 구조물(302)을 형성하기 위한 다른 기법을 보여준다. 이산화규소 층(1902)을 구비한 실리콘 기판(1900)이 패턴화된 포토레지스트 층(1904) 을 수용한다. 예컨대, 포토레지스트 층을 이산화규소 층(1902) 상에 스핀 코팅한 후, 이를 노출시키고 리소그래피 방식으로 현상하여, 캐비티(1906)와 마스크 패턴(1908)을 만들어 낸다.

그 후, n형 도핑 실리콘이나 몰리브텐, 텅스텐 또는 탄탈 등과 같은 금속(1910)과, 산화알루미늄 등과 같은 희생층(1912)을 캐비티(1906)에 침적하고, 그에 상응하는 부분(1914, 1916)을 형성할 수도 있다.

그 후, 포토레지스트(1912), 소정 재료(1914) 및 포토레지스트(1912) 상의 산화알루미늄(Al_2O_3)(1916)을 박리하여, 전극(104) 및 희생층(304)을 구비한 중간 구조물(1918)을 형성한다. FOX(flowable oxide) 등과 같은 SOG(spin-on-glass)를 상기 중간 구조물(1918) 상에 스핀 코팅하고, 표준 기술을 사용하는 600℃의 경사 온도 프로토콜을 이용하여 어닐링하여, 희생층(1912)의 상부에 높이가 200 2000 nm인 SiO_2 층(1920)을 형성한다.

그 후, 상기 SiO_2 층(1920)을 에칭하여 지지부(102)를 구비한 구조물(302)을 형성하는 데, 반응성 이온 에칭(RIE) 등을 사용할 수 있다.

전극 재료의 선택은 나노튜브를 기판 표면에 설치하는 방법에 의해 제한된다. 전술한 3가지 방법으로는 스핀 코팅된 촉매를 기초로 한 성장과, 기상 촉매를 이용한 CVD, 그리고 나노튜브의 스핀 코팅 또는 직접 침적이 있다. 전술한 바와 같이 스핀 코팅된 촉매를 기초로 한 성장의 경우에, 촉매는 스핀 코팅에 의해 상기 표면에 분포되거나, 표준 세척 프로토콜에 앞서 상기 기판을 촉매 물질에 침지함으 로써 상기 표면에 분포된다. 그 후, 전술한 각 경우에서 나노튜브는 전술한 바와 같이 수소와 탄소 함유 전구체의 합성물을 사용하는 800℃에서의 CVD 공정을 통해 성장된다. 따라서, 전술한 온도를 견딜 정도로 충분히 강한 전극 재료는 몰리브덴, 텅스텐, 탄탈, 게르마늄, 구리 및 이들의 합금을 포함하는 것이 바람직하다. 전극 재료는 실리콘, 텅스텐, 몰리브덴, 탄탈, 구리 및 그 밖의 것을 포함하는 재료의 단일 구조 또는 적층 구조로 구성될 수 있다. 적층형 전극 구조는 각 메모리 비트의 정류용으로 충분한 쇼트키(Schottky) 배리어를 형성하기에 충분할 수도 있고 상기 쇼트키 배리어 형성에 도움이 될 수도 있다.

나노튜브가 페로센 등과 같은 기상 촉매를 이용하여 성장되는 경우에는, 성장에 필요한 온도가 실질적으로 낮아서, 800℃ 미만 그리고 적게는 400℃ 정도의 실질적으로 낮은 온도에서 용융되는 전극 재료를 이용할 수 있게 된다는 것을 고려할 수 있다. 유익한 일부 기상 촉매로는 코발트, 텅스텐, 몰리브덴 또는 오원환 또는 육원환을 함유하는 레늄 메탈로센 등이 있다. 이들 합성물은 무기 화학의 적절한 지식을 이용하여 합성되고, 버블러의 사용에 의해 기상이 되어, 기판 상에서 나노튜브 성장을 위한 핵 생성 사이트의 작용을 한다. 물론, 이들 물질은 상기 문헌에 공지되어 있고 표준 산업 제조 설비에 사용되는 전형적인 CMOS 공정과 상당히 호환 가능하다.

나노튜브의 용액 또는 현탁액을 스핀 코팅함으로써 실온에서 표면에 나노튜브가 침적되는 경우에, 전극 재료의 선택은 실질적으로 확대된다. 이러한 경우에, 고온 단계는 없으며, 표준 CMOS 금속화 조건과 대개 호환 가능한 임의의 금속, 특 히 알루미늄과 그 합금이 허용될 수 있다.

희생층(304)은 Al_2O_3, 금속 산화물, 염, 금속 및 그 밖의 재료로 구성될 수 있다. 중간 구조물(302)은 지지부(102)를 형성하기 위한 SOG, SiO_2 및 그 밖의 것 등의 다양한 재료를 사용하여 형성될 수 있다. 나노튜브의 저온 스핀 코팅 프로토콜이 선택된 경우에, 상기 희생층에 적합한 재료는 실질적으로 확대된다. 상기 재료는 PMMA 또는 그 밖의 폴리머와, 텅스텐, 크롬, 알루미늄, 비스무트 및 그 밖의 전이 금속 등과 같은 금속, 그리고 주 그룹 금속 등을 포함할 수 있다. 또한, 게르마늄과, 염, 산화물 및 그 밖의 칼코겐 등과 같은 절연체를 포함한다.

상기 지지부 층을 위한 재료의 선택은, 나노튜브의 성장을 위해 선택된 방법과 그 밖의 인자에 크게 의존한다. 나노튜브를 표면에 설치하기 위해 저온 공정을 선택한 경우에, Al_2O_3 와 같은 상기 재료, 일산화규소, 반도체, 절연체 및 폴리이미드 등과 같은 폴리머를 이용하는 것을 고려할 수 있다.

재료 선택 공정은 전술한 제조 공정과 호환 가능한 상기 재료에 한정된다. 특정 전극 재료가 선택되면, 희생층과 지지부 재료는 반도체 제조에 이용 가능한 통상적인 공정 단계에 기초하여 자연적으로 한정된다는 것을 당업자라면 충분히 알 것이다. 이와 마찬가지로, 특정 희생층이 선택되면, 전극과 희생층 재료의 선택은 적절히 한정된다. 또한, 특정한 지지부 재료가 선택되면, 그에 따라 전극과 희생층 재료의 선택도 마찬가지로 한정된다.

도 20은 예시적인 나노튜브 섬유(312)를 원자력 현미경(AFM)으로 본 이미지 를 보여준다. 이 도면에서, 각 나노튜브는 직경이 약 1.5 nm이다. (이미지가 흐린 것은 소정 나노튜브의 실제 구조 때문이 아니라, 현미경이 본래 갖는 한계 때문이다.) 상기 이미지는 AFM의 측방 해상도 한계에서 본 것이다.

전술한 내용의 대부분은 상기 섬유가 동일한 타입, 예컨대 단일벽 타입의 나노튜브로 제조되는 것처럼 기재하고 있지만, 상기 섬유는 다중벽 구조로만 구성될 수도 있고 단일벽 구조와 다중벽 구조의 조합으로 구성될 수도 있다.

그 밖의 실시예

인터커넥트 또는 전극 재료의 성장을 용이하게 하기 위해, 먼저 표준 리소그래피 방법을 이용하여 패턴을 형성함으로써 나노튜브가 상기 표면 상에서 수평한 형태로 성장되게 하는 영역을 규정하는 것이 유용해질 수 있다. 이러한 기법은 SiO_2 구조를 패터닝하여 두꺼운 다중벽 수직 나노튜브를 성장시키는 데 사용되었다. 유사한 기법에서, 패터닝된 SiO_2 는 1 1000 nm의 두께를 갖는 수평한 나노튜브 필름을 성장시켜 도면 부호 101 등과 같은 전술한 형태의 구조를 형성하는 데 사용될 수 있다. 나노튜브 성장 및 핵 생성을 위한 지지부를 제공하는, 예컨대 절연체 및 금속 산화물 등과 같은 그 밖의 재료는, 패터닝된 나노튜브 리본을 만들기 위해 적절하게 선택된 기상 메탈로센 또는 그 밖의 기화 가능한 금속 전구체와 함께 사용될 때 유용할 수 있다. 또한, 이와 같이 패터닝된 하부층은 제거 시에 현수된 나노튜브를 형성하는 희생층으로서 작용할 수 있다. 이러한 성장 방법은 나노튜브가 상기 패터닝된 표면을 핵 생성 사이트로서 이용하는 '포지티브' 성장의 형태를 나 타낸다.

다른 실시예에서는 리소그래피 방식으로 패터닝된 기판이 금속 재료 또는 나노튜브 성장을 지원하지 않는 그 밖의 재료를 함유하는 '네거티브' 성장 방법을 사용하는 것을 고려할 수 있다.

메탈로센 또는 이와 유사한 화합물 등과 같은 적절한 기상 전구체가 공급되면, 나노튜브는 사실상 패터닝된 재료가 없는 영역에서만 성장한다. 하부 재료를 제거하면 현수된 나노튜브(101)가 마련될 수도 있고, 상기 패터닝된 금속 종의 제거 시에 인터커넥트 구조가 마련될 수도 있다.

또 다른 실시예에서는, 나노튜브를 전극 위에 특정 높이로 현수시키기 위하여 습식 화학물을 이용하여 희생층을 제거하는 대신에, 전극의 제어 에칭(즉, 폭이 0.18 um인 전극을 15 nm로 에칭)을 이용할 수 있고, 예컨대 금속(예컨대, 구리) 및 반도체(예컨대, 실리콘) 전극은 초당 수 나노미터의 에칭률로 에칭될 수 있다.

다른 실시예에서는, 작업 중에 튜브가 미끄러지지 않도록 씌운 얇은 코팅을 이용하여 나노튜브를 지지부 상에 피닝한다. 이로써 메모리 셀 자체의 바로 위에 있는 '윈도우'를 개방시킨다.

상기 층 및 전기 전도성 물품의 전기적 특성은 나노튜브 리본의 단면을 제어함으로써 조정될 수 있다. 예컨대, 리본의 두께는 소정의 폭 및 나노튜브 밀도에서 증대될 수 있다. 단면이 클수록 전도 채널의 개수가 많아져, 전기적 특성이 향상된다.

이러한 나노튜브 리본의 제조 방법을 통해 거친 표면 위상 위에서도 전도성 이 연속적일 수 있다. 이와는 달리, 전형적인 금속 전극의 증착에서는 구조적 결함 및 그에 따른 전기적 결함의 영향을 받는다.

카본 나노튜브 이외에도, 전자 기계식 스위칭에 적합한 전자적 및 기계적 특성을 갖는 그 밖의 재료가 고려될 수 있다. 이러한 재료는 카본 나노튜브와 유사한 특성을 갖지만, 인장 강도가 상이하고 적당히 작다. 상기 재료의 인장 변형률 및 부착 에너지는 허용 가능한 오차 범위 내에 존재하는 접합의 상안정썽과 전자 기계식 스위칭 특성을 허용하는 범위 내에 있어야 한다.

통합을 목적으로 하여, 2가지 기법의 처리를 위한 CMOS 로직이 고려될 수 있다. 제1 실시예에서, 나노튜브 어레이는 금속화 이전, CMOS 로직 장치의 평탄화 및 이온 주입 이후에 통합된다. 제2 방법은 CMOS 장치의 제조 이전에 나노튜브 어레이를 성장시킬 필요가 있으며, 이온 주입 및 고온 어닐링 단계를 포함한다. 이들 단계가 완료되면, 널리 사용되는 표준 프로토콜을 이용하여 나노튜브 리본과 CMOS 장치 모두를 최종적으로 금속화한다.

또한, n형 도핑 실리콘으로 이루어진 일부 금속 또는 반도체 라인 상의 전극이 고려될 수 있다. 이로써, 복수 개의 전류 통로가 존재하지 않도록, 'ON' 상태의 정류 접합이 계속 제공된다.

정류 접합 이외에도, 크로스바 어레이에서 전기의 누화(즉, 복수 개의 전류 통로)가 발생하지 못하게 하는 데 널리 사용되고 용인되는 다른 방법이 있다. 리소그래피 방식으로 제조된 정전 전극 위에 마련된 터널 배리어는 저항이 'ON' 상태로 형성되지 못하게 한다. 제로 바이어스 전압에서 전류의 누출은 발생되지 않지 만, 교차 라인 사이에서 상기 배리어 및 터널을 넘어가기 위해서는 전하 캐리어에 작은 바이어스 전압이 인가되어야 한다.

전극 표면과의 교차부를 변경하기 위해, 이온력, 공유 결합력, 또는 그 밖의 힘을 사용하여 부착 에너지를 증대시키는 방법이 고려될 수 있다. 이 방법은 전술한 접합과 관련한 쌍안정성의 범위를 연장시키는 데 사용될 수 있다.

나노튜브는 피렌 등과 같은 평면 공액 탄화수소를 통해 기능화될 수 있는데, 그 후 상기 탄화수소는 리본 내에 있는 나노튜브 사이의 내부 접합을 강화시키는 것을 도울 수 있다.

어드레스 지정을 위한 나노튜브 기술 및 하이브리드 회로 등과 같은 전술한 양태 중 일부는 개개의 나노튜브(예컨대, 지향 성장 기술 등을 이용) 또는 나노튜브 리본에 적용될 수 있다.

또한, 본 발명의 범위는 전술한 실시예에 한정되는 것이 아니라 첨부된 청구범위에 의해 정해지는 것이며, 상기 청구범위는 바람직한 실시예의 수정한 것과 개량한 것을 포함하는 것으로 사료된다.

(57) 청구의 범위

청구항 1.
나노튜브 절편의 집합체를 포함하는 전도성 물품으로서,

상기 나노튜브 절편은 다른 나노튜브 절편과 접촉하여 전도성 물품을 따라 복수 개의 전도 경로를 형성하는 것인 전도성 물품.

청구항 2.
제1항에 있어서, 상기 나노튜브 절편은 단일벽 카본 나노튜브를 포함하는 것인 전도성 물품.

청구항 3.
제1항에 있어서, 상기 나노튜브 절편은 다중벽 카본 나노튜브를 포함하는 것인 전도성 물품.

청구항 4.
제1항에 있어서, 상기 나노튜브 절편은 길이가 서로 다른 것인 전도성 물품.

청구항 5.
제1항에 있어서, 상기 나노튜브 절편은 전도성 물품보다 길이가 짧은 절편을 포함하는 것인 전도성 물품.

청구항 6.
기판과, 이 기판 상에 배치된 전도성 트레이스를 포함하는 조립체로서,

상기 트레이스는 다른 나노튜브 절편과 접촉하여 트레이스를 따라 복수 개의 전도 경로를 형성하는 나노튜브 절편을 포함하는 것인 조립체.

청구항 7.
제6항에 있어서, 상기 나노튜브 절편은 단일벽 카본 나노튜브를 포함하는 것인 조립체.

청구항 8.
제6항에 있어서, 상기 나노튜브 절편은 다중벽 카본 나노튜브를 포함하는 것인 조립체.

청구항 9.
제6항에 있어서, 상기 나노튜브 절편은 길이가 서로 다른 것인 조립체.

청구항 10.
제6항에 있어서, 상기 나노튜브 절편은 상기 트레이스보다 길이가 짧은 절편을 포함하는 것인 조립체.

청구항 11.
다른 나노튜브와 접촉하여 트레이스를 따라 복수 개의 전도 경로를 형성하는 나노튜브의 전기 회로를 포함하는 것인 전도성 트레이스.

청구항 12.
제11항에 있어서, 상기 나노튜브는 단일벽 카본 나노튜브를 포함하는 것인 전도성 트레이스.

청구항 13.
제11항에 있어서, 상기 나노튜브는 다중벽 카본 나노튜브를 포함하는 것인 전도성 트레이스.

청구항 14.
제11항에 있어서, 상기 나노튜브는 길이가 서로 다른 것인 전도성 트레이스.

청구항 15.
제11항에 있어서, 상기 나노튜브는 상기 트레이스보다 길이가 짧은 나노튜브를 포함하는 것인 전도성 트레이스.

청구항 16.
기판과, 이 기판 상에 배치된 전도성 트레이스를 포함하는 조립체로서,

상기 트레이스는 다른 나노튜브 절편과 접촉하여 트레이스를 따라 복수 개의 전도 경로를 형성하는 나노튜브의 회로를 포함하는 것인 조립체.

청구항 17.
제16항에 있어서, 상기 나노튜브는 단일벽 카본 나노튜브를 포함하는 것인 조립체.

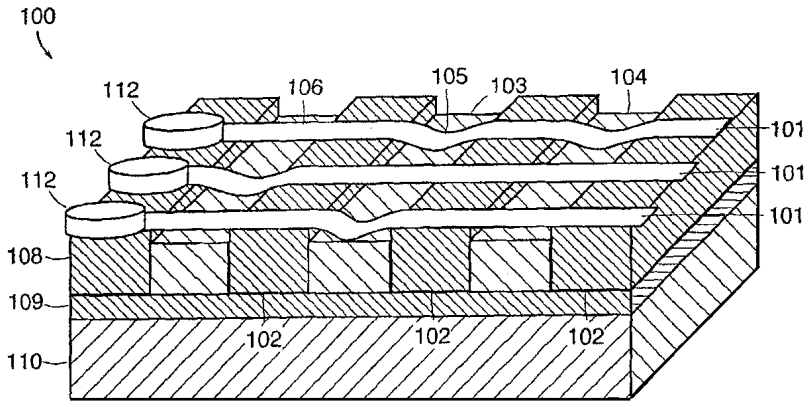
청구항 18.
제16항에 있어서, 상기 나노튜브는 다중벽 카본 나노튜브를 포함하는 것인 조립체.

청구항 19.
제16항에 있어서, 상기 나노튜브는 길이가 서로 다른 것인 조립체.

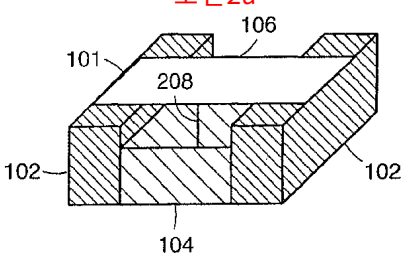
청구항 20.
제16항에 있어서, 상기 나노튜브는 트레이스보다 길이가 짧은 나노튜브를 포함하는 것인 조립체.

도면

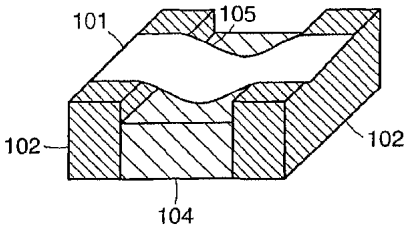
도면1



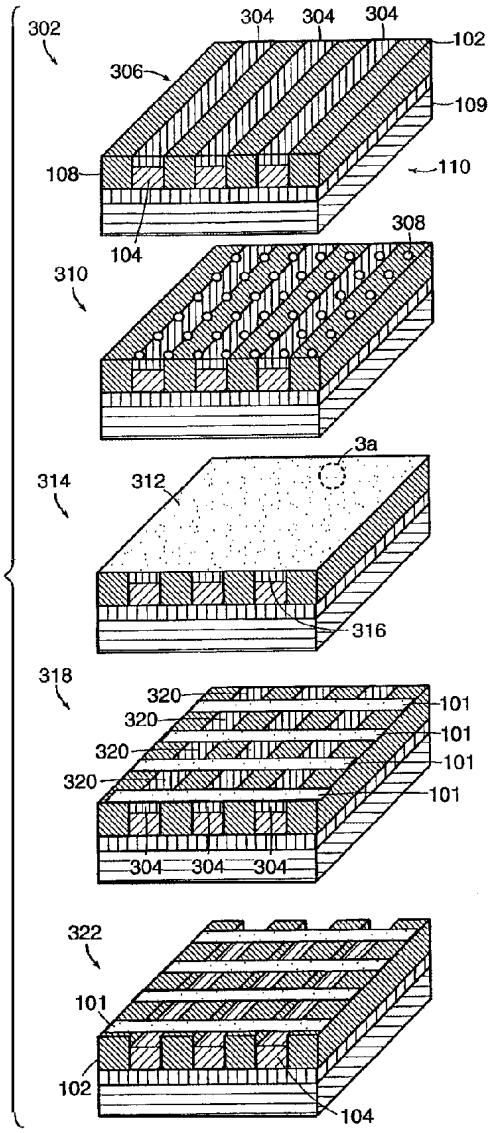
도면2a



도면2b

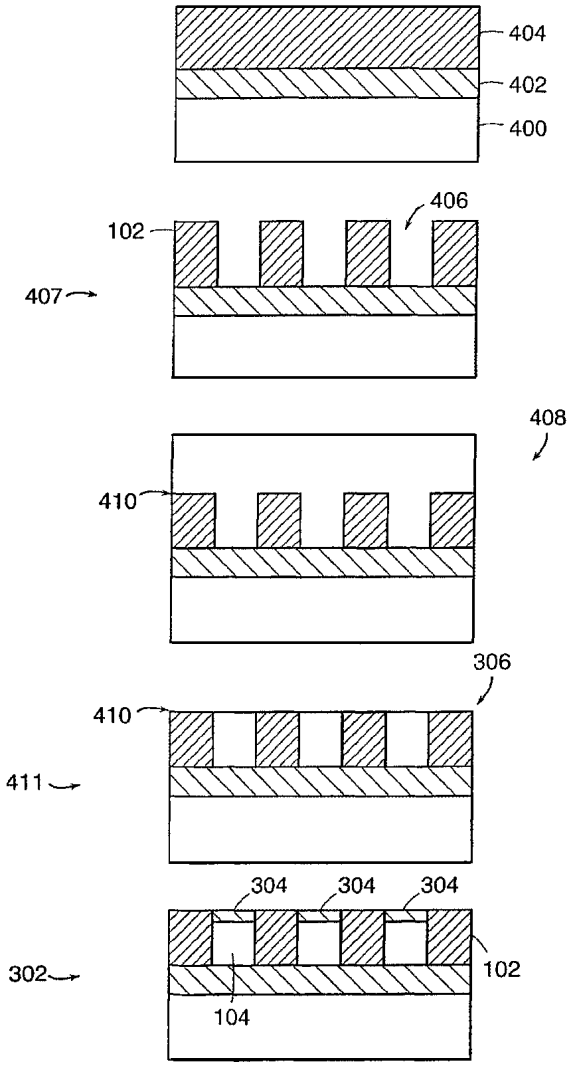


도면3

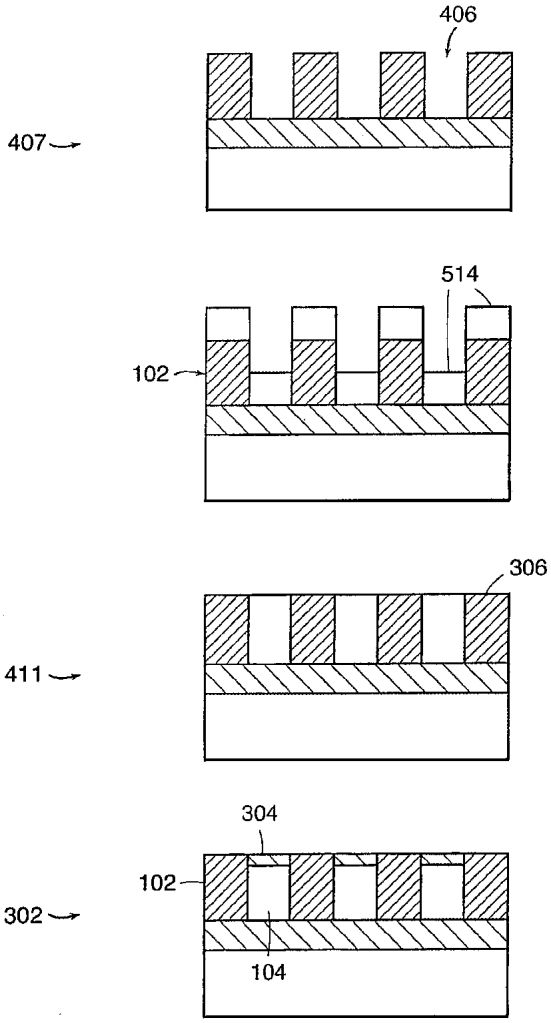


도면3a

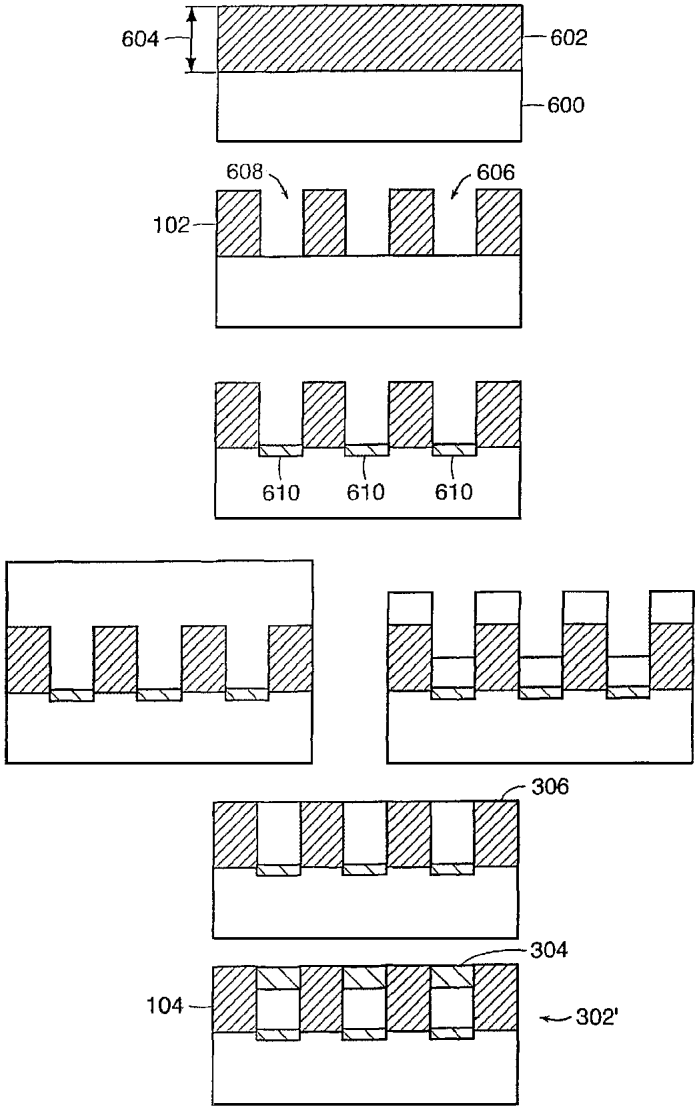
도면4


404
402
400
406
102
407
408
410
306
410
411
304
304
304
302
102
104

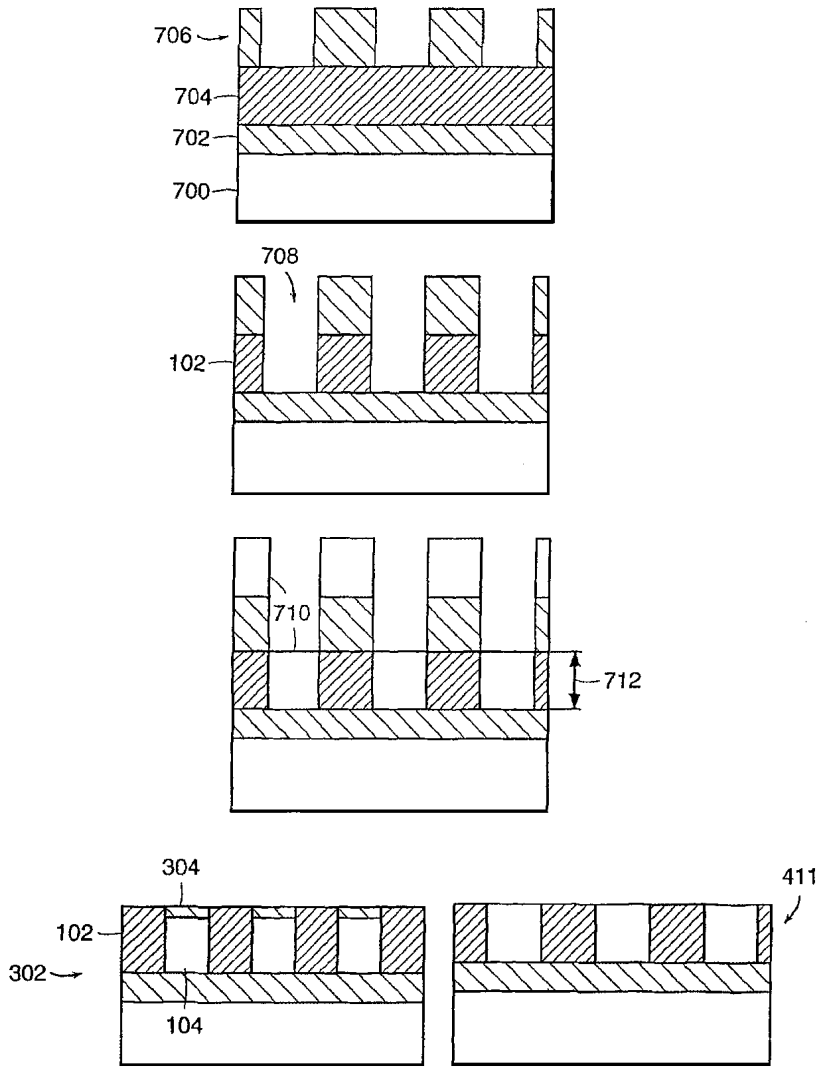
도면5



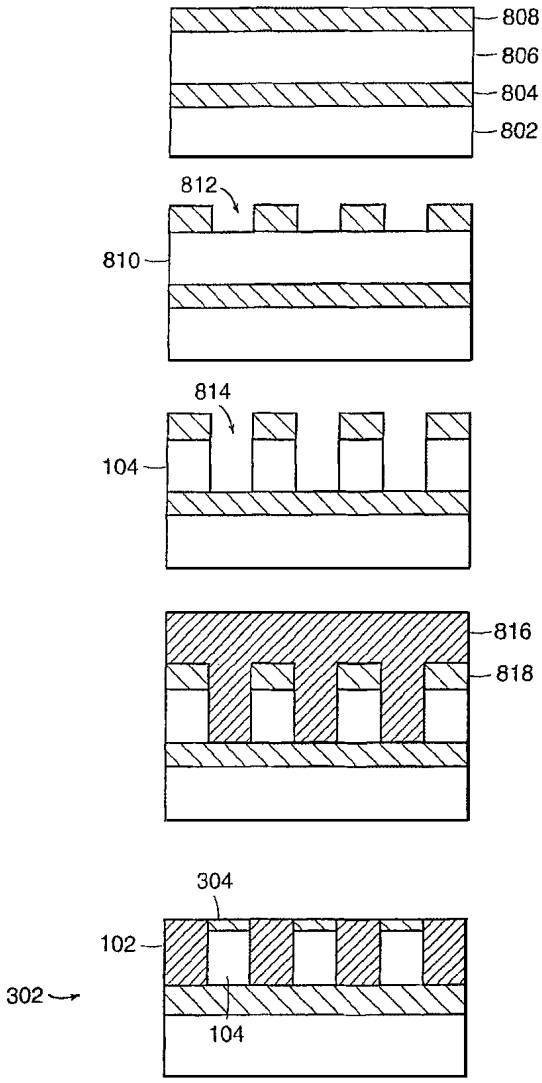
도면6



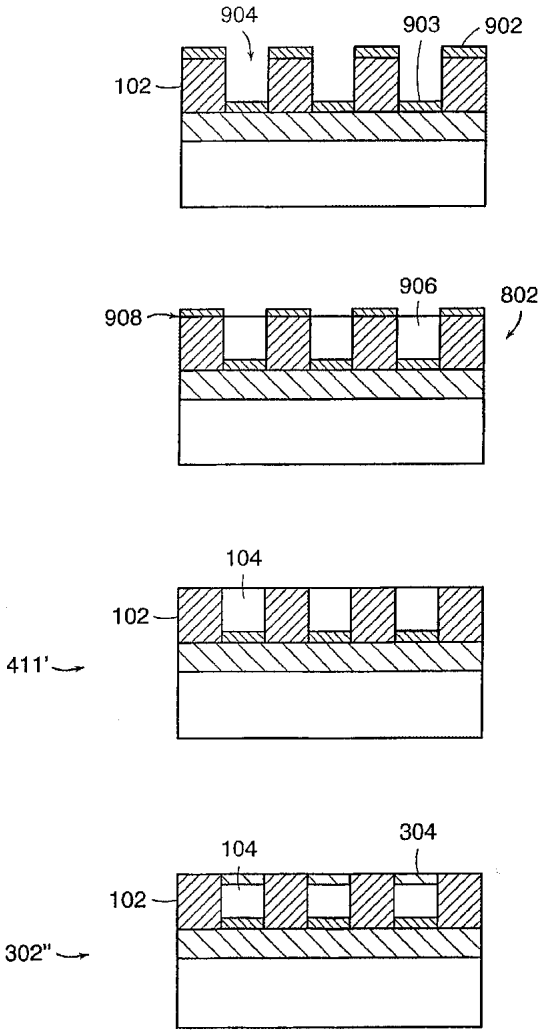
도면7



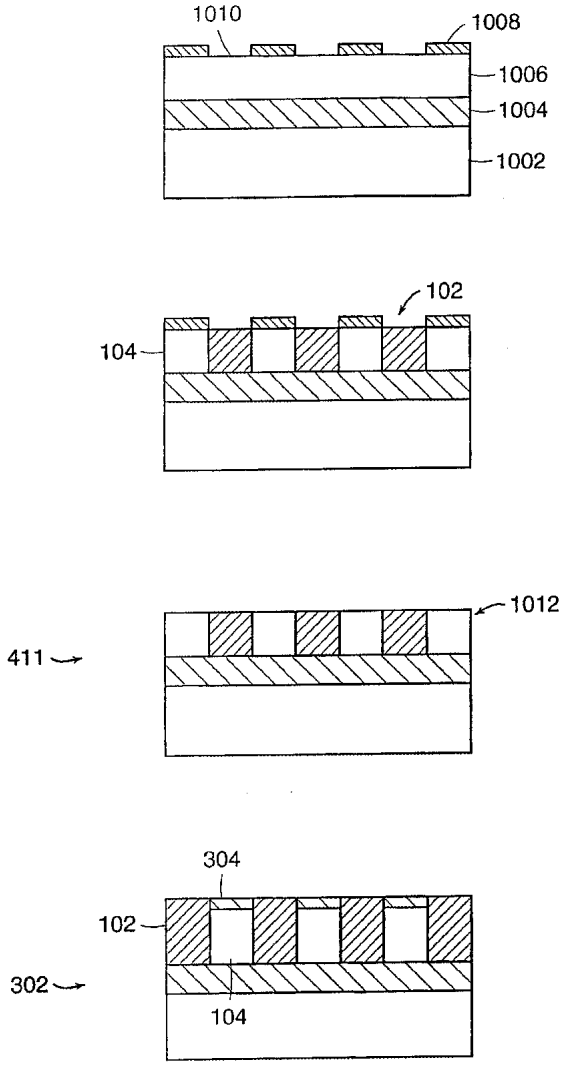
도면8



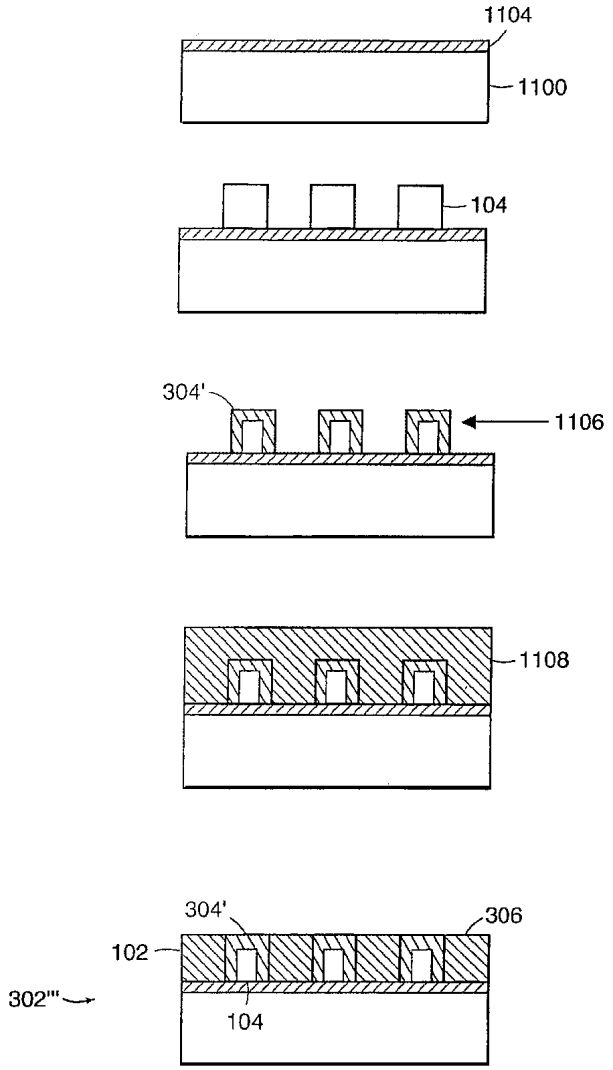
도면9



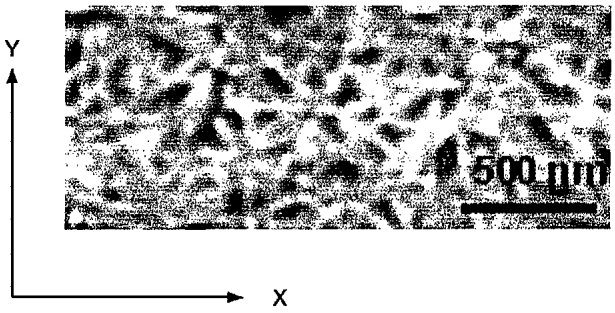
도면10



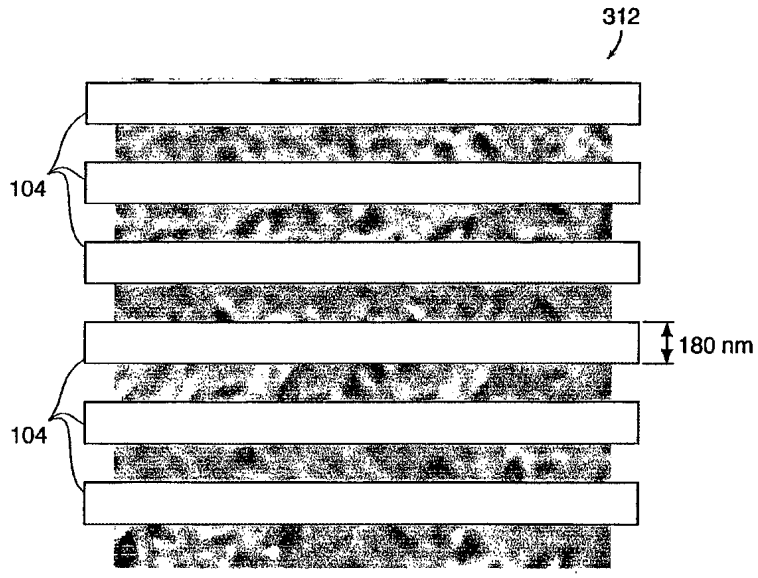
도면11



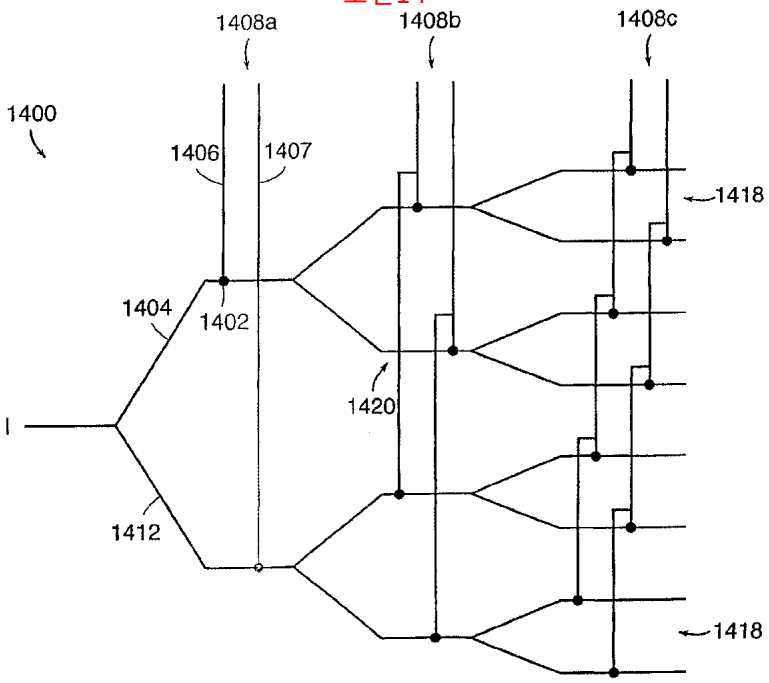
도면12



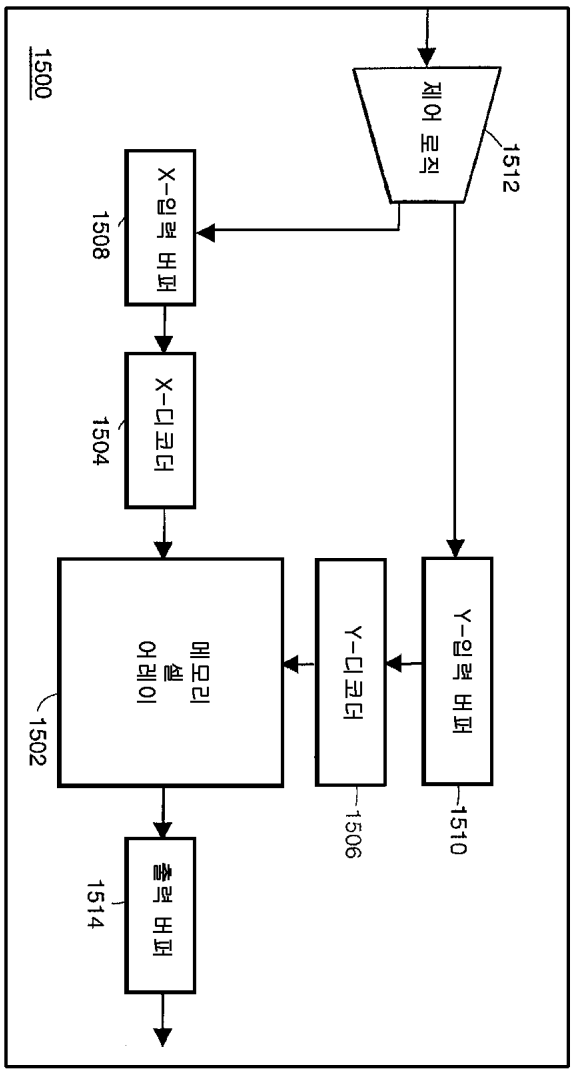
도면13


312
104
180 nm
104

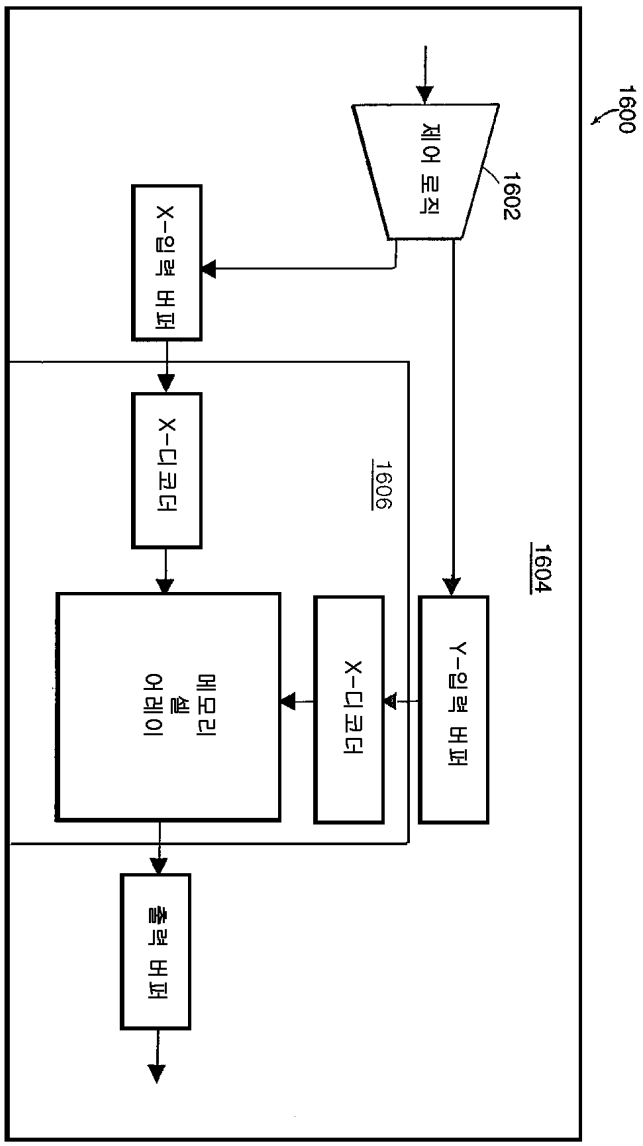
도면14


1408a
1408b
1408c
1400
1406
1407
1418
1404
1402
1420
1412
1418

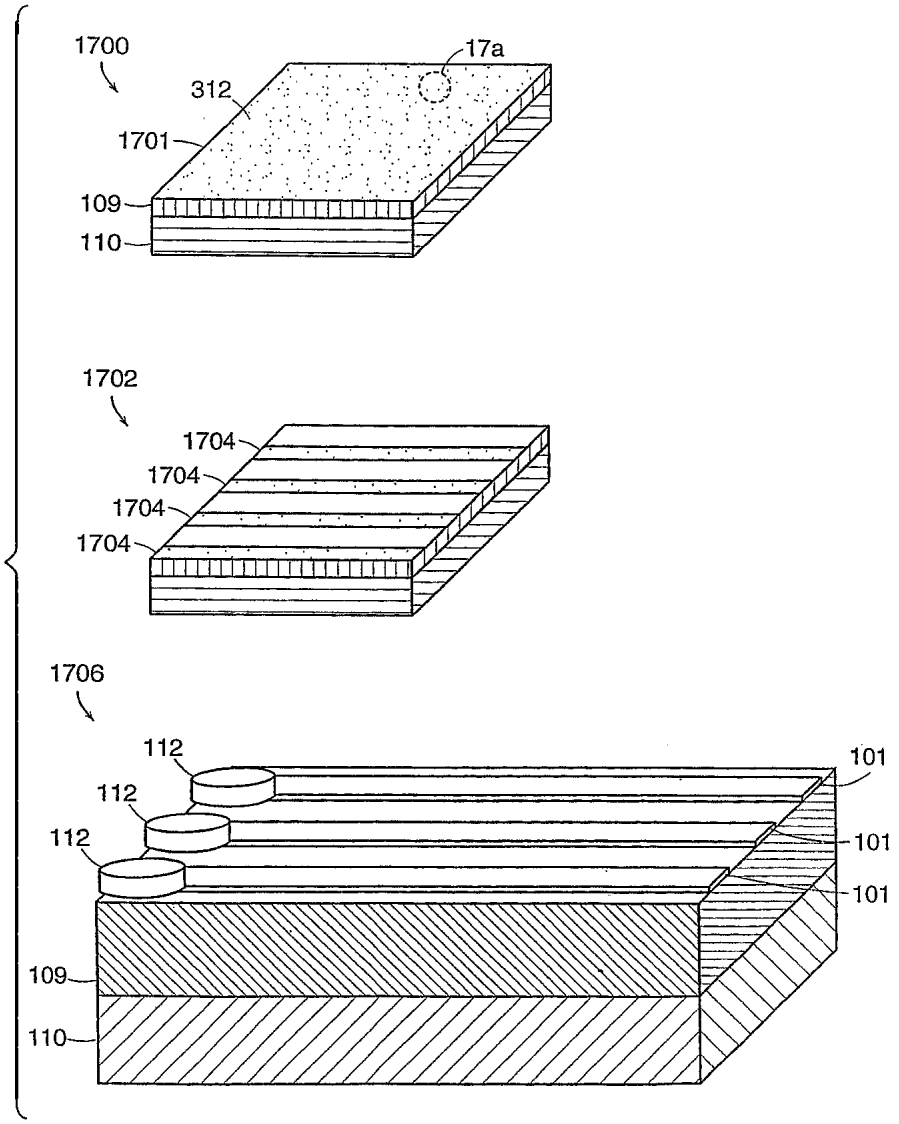
도면15


1500
제어 로직
1512
X-입력 버퍼
1508
X-디코더
1504
메모리 셀 어레이
1502
Y-디코더
1506
Y-입력 버퍼
1510
출력 버퍼
1514

도면16



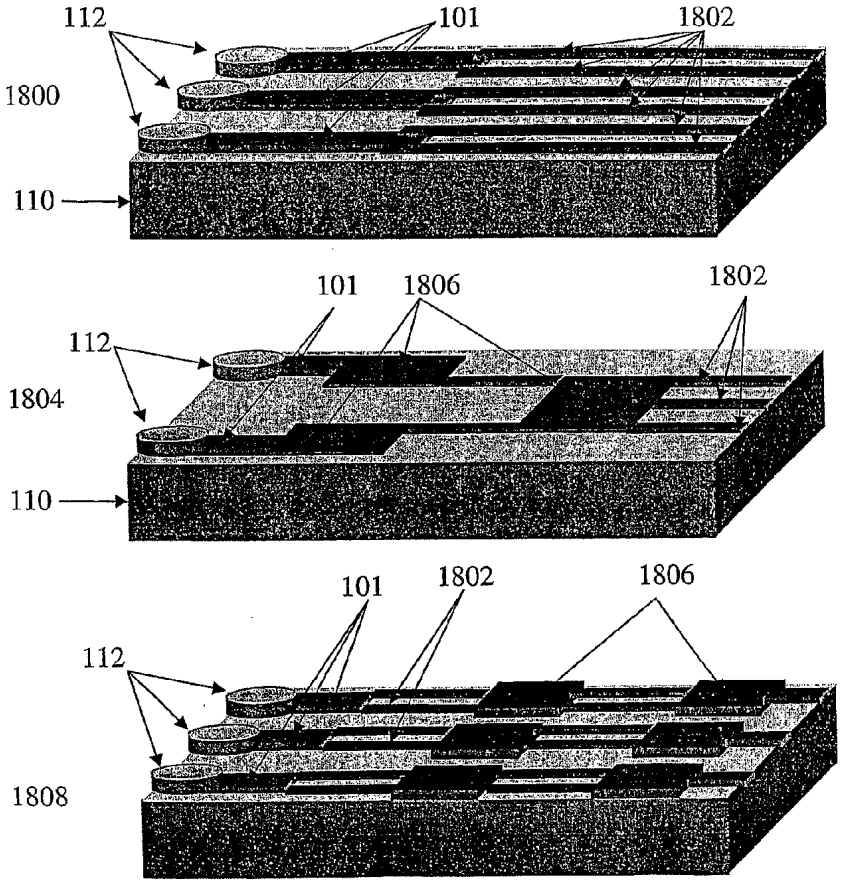
도면17


1700
17a
312
1701
109
110
1702
1704
1704
1704
1704
1706
112
112
112
101
101
101
109
110

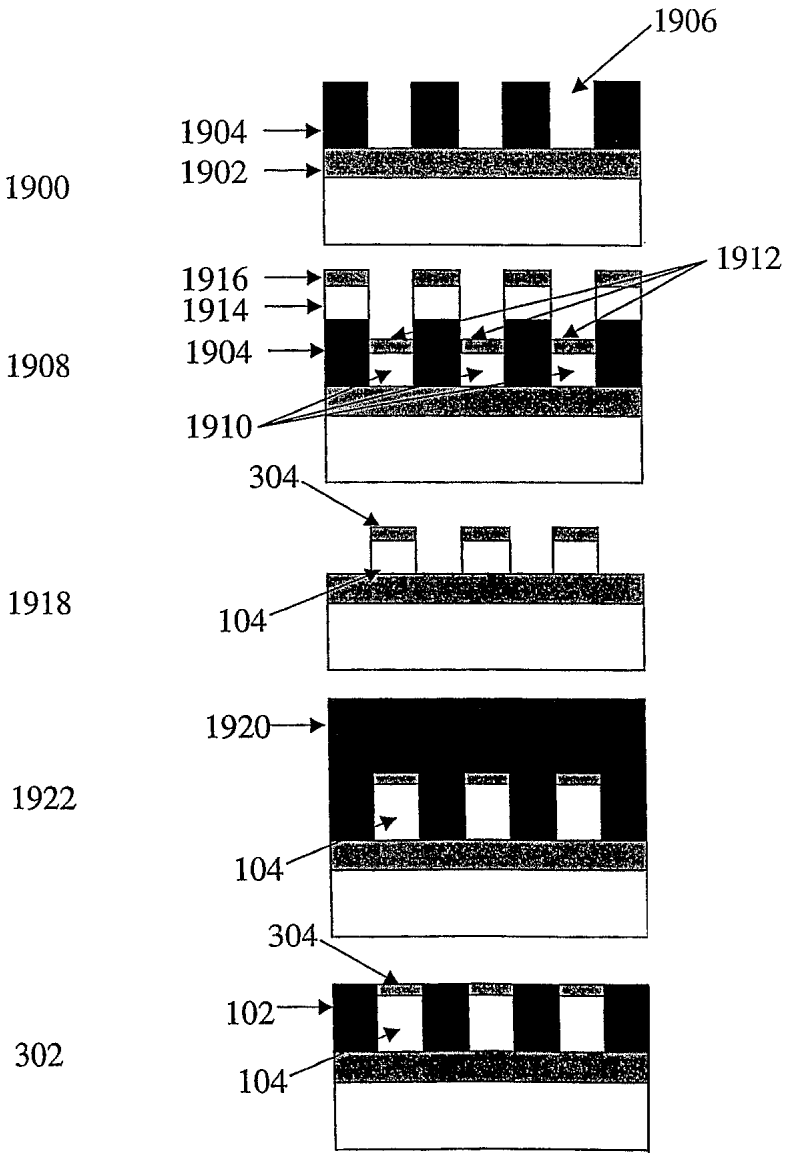
도면17a


500nm

도면18


112
101
1802
1800
110
101
1806
1802
112
1804
110
101
1802
1806
112
1808

도면19


1906
1904
1902
1900
1916
1914
1912
1908
1904
1910
304
1918
104
1920
1922
104
304
102
302
104

도면20