Damascene 구리 배선 구조에 있어서 은박막을 이용한 산화 방지막의 상온 형성

김용식, 김수길, 김재정
서울대학교 공과대학 응용화학부

Room temperature surface passivation method using thin Ag layer at the damascene Cu structure

Yong Shik Kim, Soo-Kil Kim, Jae Jeong Kim
School of Chemical Engineering, College of Engineering, Seoul National University

서론

현재 logic device의 배선 재료로는 기존의 알루미늄보다 비저항이 낮고, electromigration에 대해 우수한 성질을 갖는 구리가 이용되고 있다 [S. P. Murarka, 1997]. 그러나 구리는 대기중에 노출시에 self-passivation layer를 만들지 못하고 쉽게 산화되어 구리산화물을 만들게 되는 문제점을 가지고 있다. 구리산화물은 반도체 물질로서 순수한 구리에 비하여 높은 비저항을 갖는다. 따라서 구리 배선 공정시에는 대기중으로 노출된 구리가 쉽게 산화되지 않도록 해주어야 한다.

이러한 목적을 위해서 최근까지 이온 주입 [X. Q. Zhao et al., 2001], 표면에서 실리사이드 형성 [S. Hymes et al., 1992], bilayer 열처리 [P. J. Ding et al., 1994], 알루미늄 또는 마그네슘과의 합금형성 [W. A. Lanford et al., 1995]등의 방법이 연구되었다. 이중에서 알루미늄 또는 마그네슘과 구리의 합금을 증착하는 방법이 가장 좋은 산화방지 방법이다. 하지만 이 방법은 구리와 합금원소를 동시에 증착해야 하는 방법으로써 물리적 기상 증착 방법(PVD)을 제외한 화학적 기상 증착 방법 (CVD) 또는 전기 도금 방법으로는 이루어 내기 어려운 공정이다. 현재 구리 배선 공정은 작은 크기의 trench와 via에 void없이 증착하기 위해서 전기 도금 방법이 이용되고 있다. 그러므로 전기 도금 방법으로 형성한 구리막의 산화를 방지하기 위한 적절한 방법이 필요하다.

본 연구에서는 이를 위하여 전기 도금한 구리막위에 은을 galvanic 치환 반응을 이용하여 증착하였다. Galvanic 치환 반응은 용액상의 은이온이 이미 증착되어 있는 구리를 녹여내고 그로부터 나온 전자를 이용해 증착되는 방법이다. 이러한 방법은 구리 배선 공정에서 화학적 기계적 평탄화 공정후에 대기중에 노출되는 구리만을 선택적으로 passivation시킬 수 있다는 장점을 가지고 있다 (Fig. 1). 따라서 본 연구에서는 galvanic 치환 반응을 통해서 구리막위에 얇게 증착된 은 박막이 구리막의 산화를 효과적으로 방지할 수 있는지 조사하였다.

실험

본 실험에서 사용한 기판의 층구조는 Cu (seed, 70 nm)/TiN (10 nm) / Ti (15 nm) / Si (100)이다. 구리막위에 얇게 증착된 은 박막이 구리 산화에 미치는 영향을 알아보기 위하여 네 가지 종류의 시편을 만들어 비교하였다 (Table 1). 구리막의 전기 도금에 앞서 기판을 NH_4OH 수용액으로 전처리 하였고 [J. J. Kim et al., 2001], 전기 도금을 위한 전해질은 0.2 M의 $CuSO_4$와 1.0 M의 H_2SO_4로 구성되어 있다. 구리의 도금은 SCE를 기준으로 -0.2 V에서 증착되었고 400초 동안 증착하여 두께를 1000 nm로 만들었다. 은의 galvanic 치환 반응은 0.059 M $AgNO_3$, 0.58 M $(NH_4)_2SO_4$, 523 ml/L NH_4OH로 이루어진 용액에서 20초 동안 이루어졌다. 구리 박막 또는 은박막까지 형성한 후에 열처리는 질소분위기 400 ℃에서 30분 동안 이루어졌다 [J. J. Kim et al., 2002]. 이렇게 만든 시편의 산화에 대한 저항성을 비교하기 위하여 300 ℃ 대기중에서 4, 9, 25분 동안 산화시켜 분석을 실시하였다.

결과 및 토론

Figure 2는 1000 nm 두께의 구리막위에 galvanic 치환 반응을 이용하여 은 박막을 증착한 후의 Auger electron spectroscope (AES) depth profile과 XRD 자료이다. 그림에서 galvanic 치환 반응을 통해 증착된 은 박막은 표면에만 국한하여 얇게 증착되었다는 것을 확인 할 수 있으며 증착된 은 박막은 아래 쪽에 있는 구리막의 결정성을 이어 받아 (111) peak가 강하게 나타나는 것을 알 수 있었다.

준비된 네 가지 시편의 산화에 대한 저항성을 알아보기 위해 산화전과 산화후의 면저항을 비교하였다 (Fig. 3) 전기 도금으로 증착한 순수한 구리막의 경우 면저항이 급격하게 증가하였으나 열처리를 한 경우 이에 비해 산화에 대한 저항성이 약간 개선되었다. 은 박막을 구리막위에 형성한 경우 열처리에 관계없이 면저항의 증가가 현저하게 줄어들었고, 열처리까지 한 경우에 면저항의 증가가 가장 적었다. 이는 열처리로 인한 미세구조의 변화가 산화에 대한 저항성에 기여했기 때문이다. Figure 4는 네 가지 시편을 9분 동안 산화 시킨 후 단면의 field emission scanning electron microscopy (FESEM) 사진과 AES depth profile이다. 순수한 구리와 구리산화물은 열팽창 계수가 다르기 때문에 산화과정과 냉각과정에서 층이 둘로 나누어지게 되고 FESEM 사진에서 이를 확인할 수 있다. 전기 도금으로 증착한 순수한 구리막의 경우 대부분 산화되어 TiN 층 위쪽으로 얇은 구리막만이 남아있었다. 열처리를 한 전기 도금된 구리막의 경우 이에 비하여 산화가 지연되었다. 반면 은 박막을 증착한 시편의 경우에 산화되지 않고 남은 구리층의 두께가 앞의 두 가지 시편에 비하여 두꺼웠다. 시편 (c)와 (d)의 AES depth profile에서 은 원자의 농도 profile은 Fig. 2와 다르게 나타났다. 시편 (c)의 경우 은 박막은 산화후에 구리산화물과 순수한 구리의 사이에 존재하였다. 이는 은 박막이 산소의 확산을 막는 방지막 역할을 하여 구리원자가 막 바깥쪽으로 확산하는 것이 선호되었음을 의미한다. 시편 (d)의 경우 은 원자가 구리산화물 층에 넓게 분포하였고 시편 (c)에 비해서 산화되지 않고 남은 구리층의 두께가 증가하였다. 이것은 열처리에 의한 미세 구조의 변화가 은 박막의 확산 방지막으로서

의 역할을 개선시켜줬기 때문이다.

순수한 구리의 산화는 산소와 구리이온의 확산에 의해서 결정되고, 가장 중요한 확산 경로는 grain boundary이다. 열처리를 하게 되면 grain boundary의 밀도가 감소하게 된다. 따라서 시편 (b)가 (a)에 비하여 산화에 대한 저항성이 증가하게 된 것은 산소와 구리이온의 확산 경로가 감소하였기 때문이다. 시편 (c)에서 구리막위의 은 박막은 효과적인 확산 방지막 역할을 함으로써 산화를 늦추게 된다. 또한 이 경우에는 산소의 확산 보다는 구리이온의 확산에 의하여 산화반응이 진행된다는 것을 AES depth profile로부터 알 수 있다. 시편 (d)의 경우에는 열처리에 의한 grain boundary의 감소와 은 원자에 의해서 grain boundary가 메워지는 효과에 의해서 산화에 대한 저항성이 증가하게 된다.

Figure 5는 FESEM 사진을 이용해서 구한 구리산화물의 두께를 산화시간에 따라 나타낸 그림이다. 그림에서 시간에 따른 구리산화물의 두께는 시간의 제곱근에 비례하여 증가하는 곡선을 그리고 있다. 따라서 모든 시편에서 산화 반응이 산소나 구리이온의 확산에 의해서 지배되고 있음을 알 수 있었다.

결론

Galvanic 치환 반응을 이용하여 얇은 은 박막을 만들고 이를 400 ℃에서 열처리 하는 과정을 통해서 순수한 구리에 비하여 산화에 대한 저항성이 우수한 막을 얻을 수 있었다. 이는 열처리를 통하여 확산 경로인 grain boundary가 감소하고, 은 원자가 grain boundary를 메우는 효과에 의한 것이었다.

참고문헌

J. J. Kim, and S.-K. Kim, “Optimized surface pretreatments for copper electroplating”, Appl. Surf. Sci., **183**, 311 (2001).

J. J. Kim, S.-K. Kim, J.-U. Bae, “Investigation of copper deposition in the presence of benzotriazole”, Thin Solid Films, **415**, 101 (2002).

P. J. Ding, W. Wang, W. A. Lanford, S. Hymes, and S. P. Murarka, “Thermal annealing of buried Al barrier layers to passivate the surface of copper films”, Appl. Phys. Lett., **65**, 1778 (1994).

S. Hymes, S. P. Murarka, C. Shepard, and W. A. Lanford, “Passivation of copper by silicide formation in dilute silane”, J. Appl. Phys., **71**, 4623 (1992).

S. P. Murarka, “Multilevel interconnections for ULSI and GSI era”, Mater. Sci. Eng., R, **19**, 87 (1997).

W. A. Lanford, P. J. Ding, W. Wang, S. Hymes, and S. P. Murarka, “Low temperature passivation of copper by doping with Al or Mg”, Thin Solid Films, **262**, 234 (1995).

X. Q. Zhao, Y. F. Han, and B. X. Liu, “Modification of oxidation resistance of copper films by shallow implantation”, J. Appl. Phys., **90**, 1638 (2001).

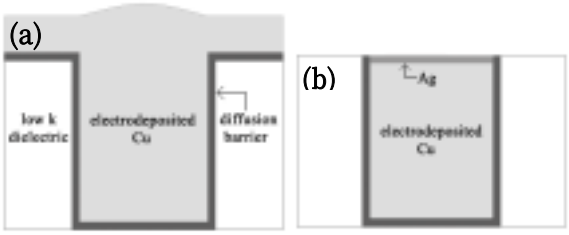

Fig. 1. Schematic illustrations of (a) as-plated damascene Cu structure and (b) surface passivated Cu after CMP and Ag displacement deposition.

Table 1. 네 가지 종류의 시편

시편	구조	공정
(a)	Cu/TiN/Ti/Si	구리 전기 도금
(b)	열처리된 Cu/TiN/Ti/Si	구리 전기 도금 → 열처리
(c)	Ag/Cu/TiN/Ti/Si	구리 전기 도금→ 은 치환 증착
(d)	열처리된 Ag/Cu/TiN/Ti/Si	구리 전기 도금 → 은 치환 증착 → 열처리

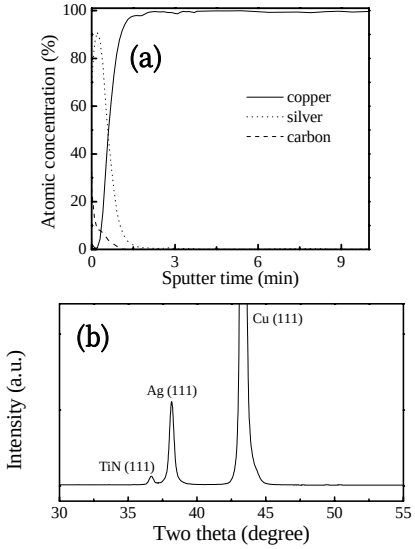

Fig. 2. (a) AES depth profile of Ag displacement deposited Cu film and (b) its XRD spectra

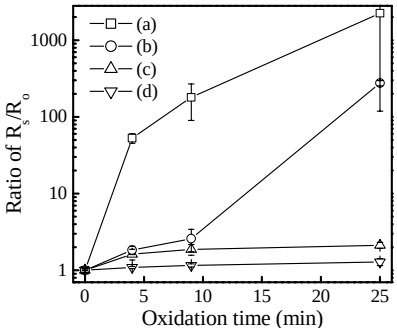

Fig. 3. Sheet resistance changes four types of samples according to the oxidation time; (a) Cu/TiN/Ti/Si, (b) annealed Cu/TiN/Ti/Si, (c) Ag/Cu/TiN/Ti/Si, and (d) annealed Ag/Cu/TiN/Ti/Si. (R_s : sheet resistance after oxidation, R_o : sheet resistance of as-prepared)

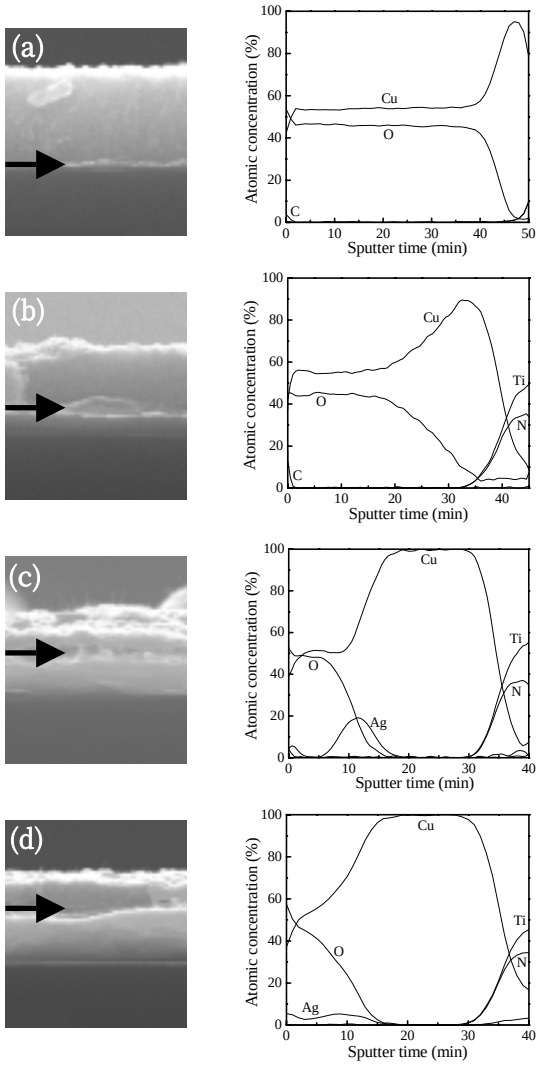

Fig. 4. Cross-sectional FESEM images and corresponding AES depth profiles of four types of samples after 9 minutes oxidation at 300℃ atmospheric conditions; (a) Cu/TiN/Ti/Si, (b) annealed Cu/TiN/Ti/Si, (c) Ag/Cu/TiN/Ti/Si, and (d) annealed Ag/Cu/TiN/Ti/Si.

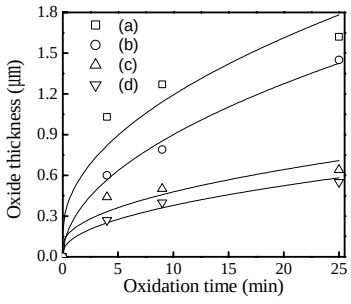

Fig. 5. Oxide thickness of four types of samples according to oxidation time; (a) Cu/TiN/Ti/Si, (b) annealed Cu/TiN/Ti/Si, (c) Ag/Cu/TiN/Ti/Si, and (d) annealed Ag/Cu/TiN/Ti/Si.