High-k/capping layer의 Gate Stack Etch Post Cleaning 연구

오지숙, 임경택, 윤미현, 임상우*
연세대학교
(swlim@yonsei.ac.kr*)

차세대 소자의 트랜지스터 공정 기술의 개발을 위해, high-k / metal gate가 도입되는데, high-k 재료의 공정 중 손상 방지 및 전기적 성질의 개선을 위하여 pMOS와 nMOS의 capping layer로서 Al_2O_3 및 La_2O_3가 검토되고 있다. 그러나 gate etch 시 Al_2O_3 및 La_2O_3 박막의 잔류(잔막)는 defect를 유발하고, 낮은 etch selectivity는 하부의 high-k dielectric 층에 손상을 야기한다. 현재 Al_2O_3 etching 에 관한 기본적인 연구는 진행되어 있으나, high-k와의 selectivity에 관한 연구는 진행된 바가 거의 없으며, La2O3 의 경우 etching 에 관한 기본적인 연구도 진행되어 있지 않은 실정이다. 본 연구에서는 etchant 종류 및 농도에 따른 capping layer의 etching 속도와, capping layer 물질과 high-k 물질과의 selectivity에 대한 영향을 파악한다. 또한 etching과 동시에 MIR FT-IR(Multiple internal reflection Fourier transform Infrared spectroscopy)을 측정하는 기술을 개발하여, capping layer의 etching 시 표면에서 일어나는 반응을 검토한다. 본 연구는 측정기기로써 MIR FT-IR을 이용하며, capping layer의 두께에 따른 intensity 변화로 etching 정보를 얻어낸다.