

## Through-silicon-via metallization using Cu electrodeposition with void-free bottom-up filling

김희철, 조지윤<sup>1</sup>, 김명준, 최승희, 서혁진, 함유석, 이동형<sup>1</sup>, 정 일<sup>1</sup>, 조원섭<sup>1</sup>, 김재정\*  
서울대학교; <sup>1</sup>삼성정밀화학  
(jjkimm@snu.ac.kr\*)

현재 반도체 소자의 고집적화 및 고성능화의 추세에 따라, 패키지 (package) 공정을 웨이퍼 수준에서 일괄 처리하여 낮은 공정 단가를 확보하기 위한 웨이퍼 패키징 (wafer packaging)에 대한 연구가 각광받고 있다. 이 중 실리콘 관통전극 (through silicon via, TSV)을 통해 제품의 소형화 및 소자 동작 속도의 극대화를 실현할 수 있을 뿐 아니라 다기능성 (multi-function) 단일 소자의 제작이 가능하여 이에 대한 연구가 활발하게 진행되고 있다. 기존의 펄스-리버스 (pulse-reverse) 인가 등을 통해 실리콘 관통전극을 구리로 채운 경우, 비아 (via) 내 보이드 (void) 및 심 (seam)의 존재, 혹은 장시간의 공정 시간 등이 문제점으로 제기되었다. 본 연구에서는 구리 전해 도금에서 대표적인 가속제로 알려진 bis(3-sulfopropyl) disulfide disodium salt (SPS)와 유기화학적으로 합성한 첨가제를 첨가하여, 일정한 전류를 인가함으로써 성공적인 바닥 차오름을 구현하였고, 폭 8  $\mu\text{m}$  및 깊이 50  $\mu\text{m}$  이상의 트렌치 (trench) 내부를 20 분 이내로 보이드 없이 도금하였다. 또한 전기화학 분석을 통해 각 유기 첨가제의 전기화학적 거동을 확인하였고, 이를 바탕으로 각 첨가제가 트렌치 채움에 미치는 영향을 규명하여 새로운 채움 메커니즘 (mechanism)을 제시하였다.